

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年10月21日 (21.10.2004)

PCT

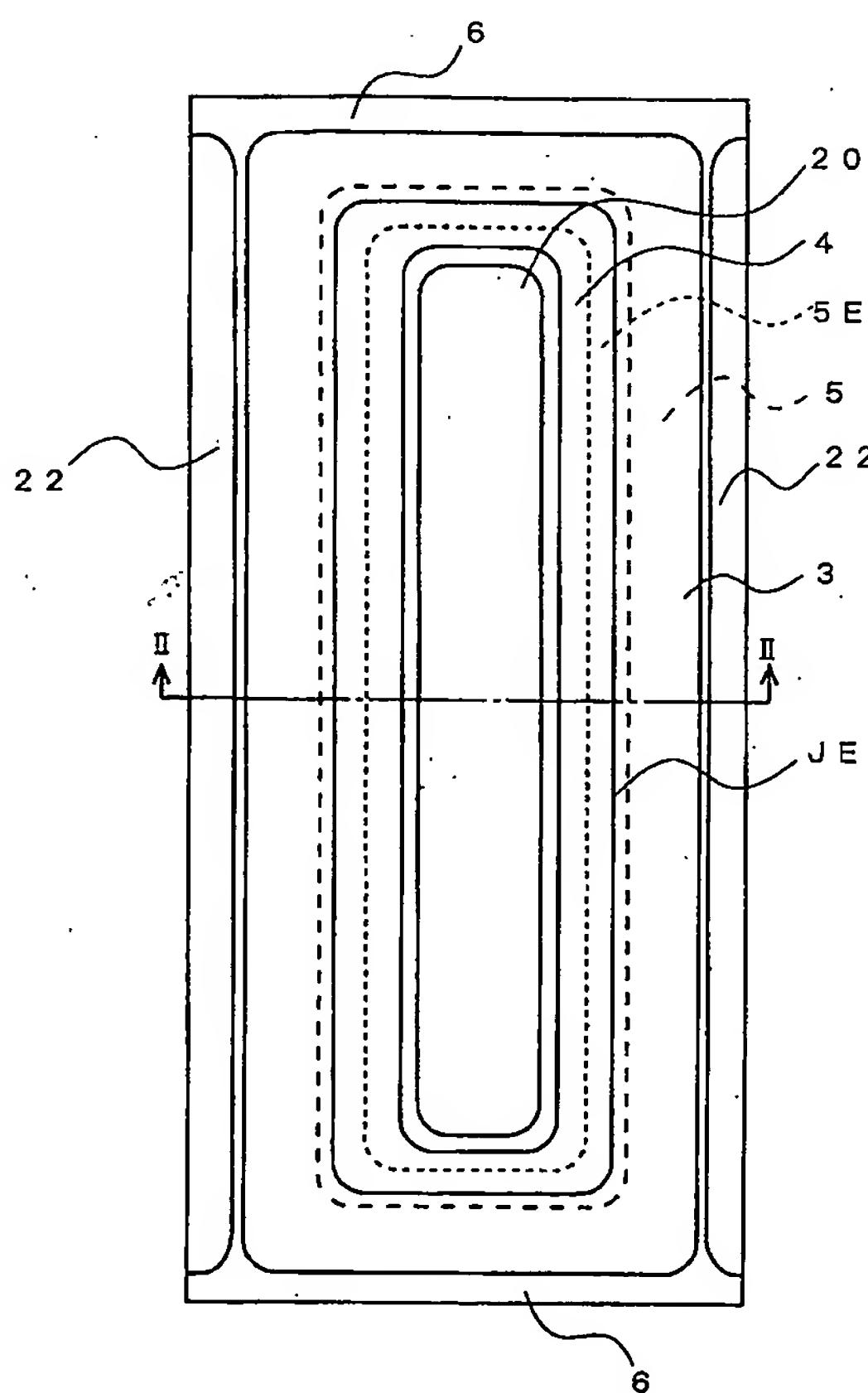
(10) 国際公開番号
WO 2004/090990 A1

(51) 国際特許分類⁷: H01L 29/74
 (21) 国際出願番号: PCT/JP2004/005046
 (22) 国際出願日: 2004年4月7日 (07.04.2004)
 (25) 国際出願の言語: 日本語
 (26) 国際公開の言語: 日本語
 (30) 優先権データ:
 特願2003-105650 2003年4月9日 (09.04.2003) JP
 (71) 出願人(米国を除く全ての指定国について): 関西電力株式会社 (THE KANSAI ELECTRIC POWER CO., INC.) [JP/JP]; 〒5308270 大阪府大阪市北区中之島3丁目3番22号 Osaka (JP).
 (72) 発明者; および
 (75) 発明者/出願人(米国についてのみ): 浅野 勝則
 (ASANO, Katsunori) [JP/JP]; 〒5308270 大阪府大阪市北区中之島3丁目3番22号 関西電力株式会社内 Osaka (JP).
 (74) 代理人: 大平 覚, 外(OHIRA, Satoru et al.); 〒5300001 大阪府大阪市北区梅田3丁目2-14 大弘ビルヒガシマ特許事務所 Osaka (JP).
 (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE,

[続葉有]

(54) Title: GATE TURN-OFF THYRISTOR

(54) 発明の名称: ゲートターンオフサイリスタ



(57) Abstract: A mesa-type wide-gap semiconductor gate turn-off thyristor has a low gate withstand voltage and a large leakage current. Since the ionization rate of P-type impurities greatly increases at high temperatures when compared with that at room temperature, the hole implantation amount increases and the minority carrier lifetime becomes longer. Consequently, the maximum controllable current is significantly lowered when compared with that at room temperature. To solve these problems, a p-type base layer is formed on an n-type SiC cathode emitter layer which has a cathode electrode on one surface, and a thin n-type base layer is formed on the p-type base layer. A mesa-shaped p-type anode emitter layer is formed in the central region of the n-type base layer. An n-type gate contact region is formed sufficiently apart from the junction between the p-type anode emitter layer and the n-type base layer, and an n-type low-resistance gate region is so formed in the n-type base layer that it surrounds the anode emitter layer.

(57) 要約: メサ型のワイドギャップ半導体ゲートターンオフサイリスタでは、ゲートの耐電圧が低く、またリーク電流が大きい。高温時にはp型不純物のイオン化率が室温に比べ大幅に増大するため、ホールの注入量が増えるとともに少数キャリアのライフタイムも伸びるため、最大可制御電流が室温に比べ大幅に低下する。その点を解決するために、一方の面にカソード電極を有するn型SiCのカソードエミッタ層の上にp型ベース層を設け、p型ベース層の上に薄いn型ベース層を設ける。n型ベース層の中央部にメサ型のp型アノードエミッタ層を設け、n型ゲートコンタクト領域をp型アノードエミッタ層とn型ベース層の接合部から十分離して設けるとともに、n型低抵抗ゲート領域をn型ベース層内にアノードエミッタ層を取り囲むように設ける。



SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 國際調査報告書
- 振正書・説明書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

明細書

ゲートターンオフサイリスタ

技術分野

本発明はワイドギャップ半導体を用いたゲートターンオフサイリスタに関するものであり、特に広い温度範囲において大電流の遮断が可能なゲートターンオフサイリスタに関する。

背景技術

シリコンを用いたゲートターンオフサイリスタ（以下、GTOと略記する）の第1の従来例として特開平6-151823号公報に示されたものがある。第1の従来例のGTOでは、アノード電極を有するnベース層の上にメサ型のpベース層を設け、メサ型のpベース層の中央領域にnエミッタ層を、不純物の拡散により形成している。この構成により、pベース層とnエミッタ層の接合がメサ斜面に露出しないので、メサ斜面に電界集中が生じにくいGTOが得られる。しかしnエミッタ層を不純物の拡散により形成しているので結晶欠陥が多く、GTOのオン時の抵抗が大きくなる。

シリコンを用いたGTOの第2の従来例が特許公報第2692366号に示されている。第2の従来例では、pエミッタ層の上にnベース層を形成し、nベース層の

上に p ベース層を形成している。 p ベース層の上に不純物の拡散により n エミッタ層を形成し、エッティングによりメサ型の n エミッタ層を得ている。第 2 の従来例は不純物の拡散により n エミッタ層を形成している点では前記第 1 の従来例のものと同じである。

シリコンカーバイド (SiC) などのワイドギャップ半導体を用いた第 3 の従来例のゲートターンオフサイリスタ（以下、GTO と略記する）には、例えば文献； IEEE Electron Device Letters, Vol. 18, No. 11, November, 1997 の 518 ページから 520 ページに記載されているものがある。この従来例では、 p 型のアノードエミッタ層を、アノードエミッタ層が接する p 型のベース層までメサ型にエッティングし、メサ型にエッティングされたアノードエミッタ層を取り囲むように、ベース層上にゲート電極を設けている。このような構造にしたのは以下の理由によるものと思われる。ワイドギャップ半導体でないシリコン (Si) の GTO では、部分的な p-n 接合は一般に不純物の熱拡散あるいはイオン注入により形成される。しかしワイドギャップ半導体である SiC の場合は、不純物の熱拡散が非常に遅く大量生産に適さないため、 p-n 接合はイオン注入により形成している。その場合、高濃度の不純物をイオン注入すると結晶欠陥が多くなり抵抗が大きくなる。そのため、GTO に大電流を流すとイオン注入した領域の電圧降下が大きくなりパワーロスが大きい。特に p 型の不純物であるアルミニウム等の、原

子半径の大きな不純物をイオン注入すると結晶欠陥が発生しやすく、高濃度のp型領域を結晶欠陥なしでは形成することはできない。そこで、SiCにおいて部分的なp-n接合を形成する場合、特に大電流を流すp型領域を形成する場合は、まずn型層の上に結晶性がよく欠陥の少ないp型のエピタキシャル膜を形成する。このエピキヤピタル膜を選択的にエッチングして、メサ型の部分的なp-n接合を形成してGTOを構成している。p型層とn型層の接合部の端部は、メサの斜面あるいはメサのコーナー部の近傍に露出している。成膜後のGTOの全表面を絶縁膜で覆うことにより外部からのイオンが半導体表面に付着するのを防ぎ、GTOの長期の信頼性を確保している。

一般にGTOは、ゲートとアノード間に逆バイアス電圧を印加することにより主電流をゲートに分流させてターンオフできるという、電流の制御性を有している。その制御性を表す特性として「最大可制御電流」がある。最大可制御電流はGTOが制御できる最大の電流である。GTOの最大可制御電流を大きくするには、ターンオフ時のオフゲート電圧（ゲートとアノード間に印加する逆方向の電圧）を高くして主電流をなるべく多くゲートに分流させる。オフゲート電圧を高くしてゲートに分流させる主電流を大きくすればするほど、最大可制御電流を大きくできることが知られている。

図13及び図14に、それぞれ典型的な第2及び第3

の従来例の SiC の GTO の断面図を示す。図 13 に示す第 2 の従来例の GTO において、カソード端子 K (以下、カソード K と記す) につながるカソード電極 21 を下面に有する高不純物濃度の n 型 SiC のカソードエミッタ層 1 の上に、低不純物濃度の p 型 SiC のベース層 2 を形成する。p 型ベース層 2 の上に n 型ベース層 3 を形成する。n 型ベース層 3 の全面に、後の工程で中央領域を残して p 型アノードエミッタ層 4 となる p 型層をエピタキシャル成長法により形成する。次に p 型層のアノードエミッタ層 4 となる領域を残して、他の領域を反応性イオンエッティング法により n 型ベース層 3 の表面がいくらか除去されるまでエッティングして、メサ型のアノードエミッタ層 4 を形成する。露出した n 型ベース層 3 の端部領域の、接合部 J から離れた部分に、アノードエミッタ層 4 を取り囲むように、n 型のゲートコンタクト領域 6 をイオン注入により形成する。アノードエミッタ層 4 にアノード端子 A (以下、アノード A と記す) につながるアノード電極 20 を形成し、ゲートコンタクト領域 6 にゲート端子 G (以下、ゲート G と記す) につながるゲート電極 22 を形成する。最後に、GTO の表面に水分や Na イオンなどのイオンが付着するのを防止するために、電極を除く全面に二酸化ケイ素 (SiO₂) 等の絶縁膜 10 を形成する。

図 14 に示す第 3 の従来例の GTO では、各層及び各領域の導電型が、前記図 13 に示す GTO とそれぞれ逆

になっている点を除いて、その構成は図13に示すGTOと実質的に同じである。

図13に示すGTOでは、ターンオフ時にゲートGとアノードA間にオフゲート電圧を印加する。また図14に示すGTOでは、ターンオフ時にカソードKとゲートG間にオフゲート電圧を印加する。その結果、図13及び図14のGTOではともに主電流がゲートGに分流しGTOはターンオフする。

図13のGTOで可制御電流を大きくするためにオフゲート電圧を高くすると、アノードエミッタ層4とベース層3の接合部Jの端部領域Tの近傍の絶縁膜10の電界が高くなる。SiCの場合は、絶縁破壊電界がSiに比べ約10倍と大きいので、ベース層3の厚さはSiのものに比べ、數十分の1と薄くしている。そのためオフゲート電圧を高くすると、アノードエミッタ層4を形成するメサの表面の絶縁膜10（例えばSiO₂膜）に高電界が印加され、絶縁膜10の絶縁破壊が生じるおそれがある。また長期間高電界が印加され続けるとリーキ電流が増え、GTO素子のゲート耐電圧（ゲートGとアノードA間の耐電圧）が低下し、長期の信頼性が低下するという問題がある。

図14のGTOでも可制御電流を大きくする対策としてオフゲート電圧を高くすると、カソードエミッタ層24とベース層5との接合部Jの端部領域Tの近傍の絶縁膜10の電界が高くなる。そのためカソードKとゲート

G 間の耐電圧が低下し、長期の信頼性が低下する。

GTO の可制御電流を大きくする他の対策として、ゲート電極が設けられているベース層の不純物濃度を上げて横方向の抵抗を低減する方法、及びベース層を厚くする方法が特開昭61-182260号公報に記載されている。不純物濃度を上げてベース層の横方向の抵抗を低減すると、GTO のオン時にそのベース層に近接するエミッタ層から注入されるキャリア（例えば、図13のGTO場合はホール、図14のGTOの場合は電子）の注入効率が下がる。また、ゲートが設けられているベース層を厚くすると、近接するエミッタ層からそのベース層を通って、その下のベース層へ到達するキャリアの数が減少する。その結果、GTOをターンオンさせるために必要なゲート電流が大きくなる。またオン電圧も大きくなり、パワーロスが大きくなるという問題がある。

ワイドギャップ半導体を用いた半導体装置の使用最高接合温度は、Si半導体を用いた半導体装置の使用最高接合温度（125°C程度）に比べ大幅に高い。例えばSiCの使用最高接合温度は500°C以上である。したがって、ワイドギャップ半導体を使用する装置では、室温から500°C以上の広い温度範囲において、半導体装置が所望の特性を維持するのが望ましい。

先行技術文献のMaterial Science Forum Vols. 389-393 (2002), pp. 1349-1352によれば、SiCのGTOで使用温度が150°C以上になると最大可制御電流が大幅

に低下するとされている。例えば200°Cにおいては、室温時の最大可制御電流の約6分の1以下となる。これは次のような理由によるものと思われる。

まず理解を容易にするために、SiのGTOの場合について説明する。Siの場合、アクセプタとしてホウ素やアルミニウムが用いられる。アクセプタ準位はそれぞれ45meV及び60meVと浅く、室温で容易にイオン化しアクセプタから正孔が生じる。そのため、室温でほとんどすべての不純物がイオン化して正孔が生じている。Siの最高接合温度125°Cまでの使用において、不純物のイオン化率が十分高いのでイオン化率が問題になることはほとんどない。

SiCのGTOでも、SiのGTOと同様に、アクセプタとしてホウ素やアルミニウムが用いられるが、それらのアクセプタ準位はそれぞれ約300meV及び約240meVと深く、室温でのイオン化率は数%以下と非常に低い。しかし、温度をあげるとイオン化率は大幅に増大する。

例えば図13のGTOにおいて、温度が150°C以上の高温になってp型のアノードエミッタ層4のイオン化率が増大すると、アノードエミッタ層4からn型のベース層3を経てp型のベース層2に注入されるホールの数が室温のときに比べて大幅に多くなる。また電子も多くなりp型ベース層2で余剰キャリア（ホール及び電子）が増えるため、最大可制御電流が低下する。さらに、1

50°C以上の高温ではキャリアのライフタイムも長くなるため、これによつても最大可制御電流が大幅に低下する。また、高温ではp型のアノードエミッタ層4のキャリア濃度が高くなるために、オフゲート電圧の印加時に空乏層が十分に広がらなくなる。このような状態では、p型アノードエミッタ層4とn型ベース層3の接合部Jの近傍のアノードエミッタ層4の端部領域Tの近傍で電界強度が高くなり、アノードAとゲートG間の耐電圧（約30V）が低下する。

また図14のGTOにおいて上記のような状態になると、カソードKとゲートG間の耐電圧（約30V）が低下する。さらに、アノードエミッタ層24の端部領域Tの近傍の電界強度が高くなつて絶縁膜10の電界が高くなり、絶縁破壊を起こすおそれがある。またリーク電流が増大して、長期間の使用における信頼性が低下する。

発明の開示

本発明では、メサ型のエミッタ層を有するワイドギャップ半導体のゲートターンオフサイリスタ（以下、ワイドギャップGTOという）において、エミッタ層と、そのエミッタ層に近接する、ゲートが設けられるベース層との接合部の端部近傍の絶縁膜の電界を緩和することによつて可制御電流を大きくする。

前記接合部の端部近傍の絶縁膜の電界を緩和するためには、ベース層内に抵抗値の低い低抵抗ゲート領域を形成

する。これによりターンオフ時の電流が抵抗値の低い低抵抗ゲート領域を通るため電圧降下が少なく、オフゲート電圧を高くしてターンオフ時のゲート電流が多くなつても絶縁膜の電界はあまり高くならない。絶縁膜の電界を高くしない他の方法として、接合部近傍に電界緩和領域を形成する方法がある。これにより絶縁膜の電界が緩和されるため、オフゲート電圧を高くできる。したがつて主電流を高い効率で分流できる。オフゲート電圧を高くすることが可能となるため室温以下の低温から500°Cを超える高温までの広い温度範囲において、大きな最大可制御電流を維持できる。オフゲート電圧をあまり高くしないときは、長期の信頼性が格段に高くなる。前記接合部近傍の絶縁膜の電界を低くできるのでGTOの長期間の信頼性を維持することが可能となる。

本発明のワイドギャップ半導体のゲートターンオフサイリスタは、一方の面に第1の電極を有する、n型及びp型のいずれか一方の導電型の第1のエミッタ層、及び前記第1のエミッタ層の他方の面に設けられた第1のエミッタ層の導電型と異なる導電型の第1のベース層を有する。このゲートターンオフサイリスタは更に、前記第1のベース層の上に設けられた第1のエミッタ層と同じ導電型の第2のベース層、前記第2のベース層の上に設けられたメサ型の、前記第1のエミッタ層の導電型と異なる導電型の第2のエミッタ層、及び前記メサ型の第2のエミッタ層に設けられた第2の電極を有する。前記メ

サ型の第2のエミッタ層と前記第2のベース層との接合部の端部から離れた領域において、前記メサ型の第2のエミッタ層を取り囲むように、前記接合部との間に前記第2のベース層を介在させつつ前記接合部の端部近傍から前記メサ型の第2のエミッタ層の底部に至る領域に、前記第2のベース層と同じ導電型でかつ前記第2のベース層の不純物濃度より高い不純物濃度を有する低抵抗ゲート領域を形成している。前記低抵抗ゲート領域端部に接して第3の電極が設けられている。

本発明によれば、第1の導電型のベース層内に第1の導電型の低抵抗ゲート領域を形成したことにより、タンオフ時には電子流が第1の導電型のベース層から第1の導電型の低抵抗ゲート領域及び第1の導電型のゲートコンタクト領域を通ってゲートに流れる。低抵抗ゲート領域は低抵抗値であるので、この電子流による電流が大きい場合でも第1の導電型のベース層内での電圧降下は小さい。従ってアノードとゲート間に印加されるオフゲート電圧はこの電圧降下の影響をうけず、大きな電流を高効率で流すことができる。その結果GTOの可制御電流を大きくできる。

本発明の他の観点のワイドギャップ半導体のゲートタンオフサイリスタは、一方の面に第1の電極を有する、n型及びp型のいずれか一方の導電型の第1のエミッタ層、及び前記第1のエミッタ層の他方の面に設けられた第1のエミッタ層の導電型と異なる導電型の第1のペ

ス層を有する。このGTOは更に前記第1のベース層の上に設けられた第1のエミッタ層と同じ導電型の第2のベース層、及び前記第2のベース層の上に設けられたメサ型の、前記第1のエミッタ層の導電型と異なる導電型の第2のエミッタ層を有する。このGTOは更に前記メサ型の第2のエミッタ層の中央領域に接触し、前記第2のエミッタ層の前記中央領域を除く他の領域ではコンタクト電極を介して前記第2のエミッタ層に接する第2の電極を有する。前記メサ型の第2のエミッタ層と前記第2のベース層との接合部の端部から離れた領域において、前記メサ型の第2のエミッタ層を取り囲むように、前記第2のベース層と同じ導電型でかつ前記第2のベース層の不純物濃度より高い不純物濃度を有する低抵抗領域が設けられている。前記低抵抗領域端部に接して第3の電極が設けられている。

タ層と同じ導電型で、かつ不純物濃度が前記第2のエミッタ層より低い高抵抗領域、前記第2のエミッタ層及び前記高抵抗領域に接し、前記エミッタ層との接触抵抗が極少になるようになされたコンタクト電極、少なくとも前記コンタクト電極及び前記コンタクト電極の外周部で前記第2のエミッタ層に接する、前記エミッタ層との接触抵抗が前記コンタクト電極より大きい第2の電極、前記メサ型の第2のエミッタ層と前記第2のベース層との接合部の端部から離れた領域において、前記メサ型の第2のエミッタ層を取り囲むように設けられた、前記第2のベース層と同じ導電型でかつ前記第2のベース層の不純物濃度より高い不純物濃度を有する低抵抗領域、及び前記低抵抗領域の端部に接する第3の電極を有する。

本発明によれば、第2の電極は、第2のエミッタ層の中央領域にのみ接し、他の領域では、半導体層に対する接触抵抗が前記第2の電極よりも低い材料で形成されたコンタクト電極を介して第2のエミッタ層に接している。そのためコンタクト電極が介在する領域の第2の電極と第2のエミッタ層との間の接触抵抗は他の部分より低い。これにより第2の電極から第2のエミッタ層に流入する電流は、相対的に抵抗が高い中央領域よりはその周囲のコンタクト電極が介在する周囲領域を多く流れる。GTOでは低抵抗領域による電流の制御効果は、低抵抗領域に近い部分では大きいが、低抵抗領域から遠い中央領域では低下する。本発明では、低抵抗領域による電流制御

効果の高い周囲領域に通電電流の大部分を流し、制御効果の低い中央領域の電流を減らす。その結果、ターンオフ時のゲートからの電流の引き抜き効率が高くなるので、GTOの可制御電流が増大する。

本発明では、ワイドギャップ半導体を用いたGTOのゲートコンタクト領域をメサ型のエミッタ層とベース層との接合部から十分離すことにより、オフゲート電圧が高い場合でも前記接合部の近傍あるいはメサコーナー部近傍の絶縁膜の電界が高くならない。オフゲート電圧を高くすることにより、アノードとカソード間に流れる電流をゲートに効率的に分流させることができ、GTOの可制御電流を大きくすることができる。また絶縁膜に高電界が印加されないので、リーク電流が増大することはなく長期間信頼性を維持できる。

ゲートコンタクト領域に隣接して低抵抗領域を形成したことにより、ターンオフ時に低抵抗領域を流れる電流によって生じる電圧降下を小さくできる。そのためオフゲート電圧が従来のものと同じであっても、従来のGTOに比べて高効率でターンオフ電流をゲートに分流できる。高温での使用において、p型不純物のイオン化率が室温に比べ増大したりキャリアのライフタイムが長くなつても、オフゲート電圧を高くすることができる。さらに低抵抗領域によりターンオフ時のゲート電流をゲートに高効率で分流させることができるために、室温以下の低温から500°Cを超える高温までの広い温度範囲において

て、大きな可制御電流を有するとともに長期間高い信頼性を維持できるGTOが実現できる。

図面の簡単な説明

図1は本発明の第1実施例のゲートターンオフサイリスタの上面図である。

図2は本発明の第1実施例のゲートターンオフサイリスタの断面図である。

図3は本発明の第2実施例のゲートターンオフサイリスタの断面図である。

図4は本発明の第3実施例のゲートターンオフサイリスタの断面図である。

図5は本発明の第4実施例のゲートターンオフサイリスタの断面図である。

図6は本発明の第5実施例のゲートターンオフサイリスタの断面図である。

図7は本発明の第6実施例のゲートターンオフサイリスタの断面図である。

図8は本発明の第7実施例のゲートターンオフサイリスタの断面図である。

図9は本発明の第8実施例のゲートターンオフサイリスタの断面図である。

図10は本発明の第9実施例のゲートターンオフサイリスタの断面図である。

図11は本発明の第10実施例のゲートターンオフサ

イリスタの断面図である。

図12は本発明の第11実施例のゲートターンオフサイリスタの断面図である。

図13は従来例のゲートターンオフサイリスタの断面図である。

図14は他の従来例のゲートターンオフサイリスタの断面図である。

発明を実施するための最良の形態

本発明の、シリコンカーバイド（以下、SiC）を用いたゲートターンオフサイリスタ（以下、GTOと略記する）の好適な実施例を図1から図12を参照して説明する。図1は本発明の第1実施例のGTOの1つの素子の上面図である。図2から図8は、それぞれ本発明の各実施例のGTOの1つの素子（単位）の断面図である。各図において、図を見易くするために断面にはハッチを施していない。各実施例のGTOの上面図は基本的に図1に示すものと類似である。各実施例のGTOの実際の構成では、多数の素子（通常数10～数1000）が図の左右方向に同一基板上で連結されており、それぞれのアノード電極、ゲート電極、カソード電極は、それぞれ必要に応じて並列又は直列に接続されている。なお実際の装置では、図示を省略したが、左右方向に多数の素子が配置されるとともに、さらに図の上下方向に当たる方向にも多数の列が配置されることが一般的である。

《第1実施例》

本発明の第1実施例のSiCを用いたGTOを図1及び図2を参照して説明する。図1は第1実施例のGTOの、絶縁膜10を設ける前の上面を示す上面図である。図2は図1のII-II断面図である。図1及び図2において、本実施例のGTOは、カソード端子K（以下、カソードK）につながるカソード電極21（第1の電極）を下面に有する厚さが約 $350\text{ }\mu\text{m}$ 、不純物濃度が 10^{19} cm^{-3} 程度以上の高不純物濃度のn型（第1の導電型）のSiC半導体のカソードエミッタ層1（第1のエミッタ層）を有する。カソードエミッタ層1の上に厚さが約 $50\text{ }\mu\text{m}$ 、不純物濃度が $10^{16}\sim 10^{18}\text{ cm}^{-3}$ 程度の低不純物濃度のp型（第2の導電型）のSiC半導体のベース層2（第1のベース層）を形成する。p型ベース層2の上に厚さ数 μm 程度の薄いn型ベース層3（第2のベース層）を形成する。n型ベース層3の全面に、後の工程で中央領域を残してp型アノードエミッタ層4とするp型層をエピタキシャル成長法により形成する。次にp型層のアノードエミッタ層4（第2のエミッタ層）となる領域を残して、他の領域を反応性イオンエッティング法により、n型ベース層3の表面が露出しつつ表面部分がいくらか除去される程度に深くエッティングしてメサ型のアノードエミッタ層4を形成する。露出したn型ベース層3にイオン注入をして順次n型の低抵抗ゲート領域

5 及び n 型のゲートコンタクト領域 6 を、アノードエミッタ層 4 を取り囲むように形成する。低抵抗ゲート領域 5 の不純物濃度はベース層 3 の不純物濃度の 3 倍以上であるのが好ましい。イオン注入の工程で低抵抗ゲート領域 5 がベース層 2 の上面近傍にまで形成されてもよい。低抵抗ゲート領域 5 はアノードエミッタ層 4 とベース層 3 の接合部 J から若干離れて形成される。ゲートコンタクト領域 6 は低抵抗ゲート領域 5 より更に不純物濃度の高い低抵抗領域であり、接合部 J から大きく離れた位置に形成される。アノードエミッタ層 4 にアノード端子 A (以下、アノード A) につながるアノード電極 20 (第 2 の電極) を形成し、ゲートコンタクト領域 6 にゲート端子 G (以下、ゲート G) につながるゲート電極 22 (第 3 の電極) を形成する。最後に成膜後の GTO の表面に水分や Na イオンなどのイオンが付着するのを防止するために、電極を除く全面に二酸化ケイ素 (SiO₂) 等の絶縁膜 10 を形成する。n 型の不純物としては窒素を用いることができる。また p 型の不純物としてはホウ素やアルミニウムを用いることができる。

本実施例の GTO の構造上の特徴は、n 型ベース層 3 内の n 型ゲートコンタクト領域 6 を、p 型アノードエミッタ層 4 と n 型ベース層 3 との接合部 J から離して、沿面距離を大きくとる点にある。他の特徴は、n 型ベース層 3 内の、p 型アノードエミッタ層 4 と n 型ベース層 3 との接合部 J からベース層 2 の方向に所定の距離を隔て

た領域に、n型の高い不純物濃度を有する低抵抗値の低抵抗ゲート領域5を形成している点にある。n型ゲートコンタクト領域6と、メサMの斜面に露出するp型アノードエミッタ層4とn型ベース層3との接合部Jの端部JEとの間の距離は、2μmから10μm程度である。また、n型低抵抗ゲート領域5は、n型ベース層3の上面から0.3μmないし5μm程度の深さで形成されている。

本実施例では図2に示すように、n型低抵抗ゲート領域5をメサMの底面MBの下方にのみ形成するのが好ましい。しかしn型低抵抗ゲート領域5を、図2の延長部5Eに示すように、p型アノードエミッタ層4の下部のn型ベース層3内にまで少し延長しても良い。低抵抗ゲート領域に5の延長部5Eを長くすると、GTOの、最大可制御電流、最小点弧電流及びオン電圧が大きくなり、耐電圧は低くなる。逆に低抵抗ゲート領域5を図2に示す長さよりも短くすると、GTOの最大可制御電流、最小点弧電流及びオン電圧が小さくなり、耐電圧は高くなる。特に高耐電圧を必要とする場合には、n型低抵抗ゲート領域5を短くしてアノードエミッタ層4から離すのが望ましい。

本実施例のGTOの動作を以下に説明する。アノードAの電位がカソードKの電位より高い状態で、ゲートGの電位をアノードAの電位より低くしてアノードAとゲートG間に順バイアス電圧を印加すると、アノードAか

らゲート G に電流が流れる。この状態ではアノードエミッタ層 4 からホールが n 型ベース層 3 に注入されて p 型のベース層 2 に入ると共に、電子が n 型のカソードエミッタ層 1 から p 型のベース層 2 に注入され、GTO はターンオンしてオン状態となる。アノード A とゲート G 間に逆バイアス電圧を印加し、カソード K からアノード A に流れる電子流をゲート G に分流すると、GTO はターンオフする。

本実施例の GTO では、n 型ゲートコンタクト領域 6 が、メサ型の p 型アノードエミッタ層 4 と n 型ベース層 3 との接合部 J から離れている。そのため、ゲート G とアノード A 間の耐電圧は両者間の沿面距離で決まり、SiC が本来有する p 型アノードエミッタ層 4 内の絶縁破壊電界によって決まる。SiC は高い絶縁破壊電界を有するので本実施例の GTO は高耐電圧を有する。また高温時に p 型のアノードエミッタ層 4 のイオン化率が高くなりホール濃度が大きくなっても高耐電圧を維持できる。

n 型ベース層 3 内に n 型低抵抗ゲート領域 5 を形成したことにより、ターンオフ時には電子流が n 型ベース層 3 から n 型低抵抗ゲート領域 5 及び n 型ゲートコンタクト領域 6 を通ってゲート G に流れる。n 型低抵抗ゲート領域 5 は不純物濃度が高く低抵抗値であるので、この電子流が大きい場合でも n 型ベース層 3 内での電圧降下が小さく、接合部 J 近傍の絶縁膜 10 に印加される電界は

高くならない。そのため、アノード A とゲート G 間に印加されるオフゲート電圧はこの電圧降下の影響をあまりうけずオフゲート電圧を高くすることができる。オフゲート電圧を高くすることにより、大きな電子流を高効率で流すことができる。その結果、本実施例の GTO は可制御電流を大きくできる。本実施例の GTO を 500°C 程度の高温で用いたとき、p 型アノードエミッタ層 4 のホール濃度が増加して n 型ベース層 3 に注入されるホールが増加したり、温度上昇によりホールや電子のライフタイムが長くなっても、本実施例の GTO ではオフゲート電圧を高くすることにより最大可制御電流を大きくできる。接合部 J 近傍の絶縁膜に印加される電界を低くできるので、長期間の信頼性を維持できる。

本実施例の GTO の具体例では、ゲート G とアノード A 間の耐電圧は 150V であり、図 9 及び図 10 に示す従来例の GTO の約 30V に比べると大幅な高耐電圧化が実現できた。最大可制御電流を上げるためにターンオフ時のゲート電圧をあげても前記接合部 J 近傍の絶縁膜 10 に高電界が印加されず、絶縁破壊を生じにくい。高電界が印加されないため、ゲート G とアノード A 間のリーク電流が増加してゲート G とアノード A 間の耐圧が低下することがなく、長期間高い信頼性を維持できる。

本実施例では、アノードエミッタ層 4 をエピタキシャル成長法により形成している。エピタキシャル成長法では、結晶欠陥が非常に少ないので n 型ベース層 3 にホー

ルを十分注入できる。そのためオン電圧が3.7Vと小さくなるとともに損失を小さくできる。例えば、結晶欠陥の多いイオン注入法によりアノードエミッタ層を形成した場合にはオン電圧は7.5Vであった。

図2に示す例では、メサ型のアノードエミッタ層4の斜面のベース層3の面に対する角度は105度程度であるが、この角度は140度から55度程度の範囲であれば本実施例を適用できる。

《第2実施例》

図3は本発明の第2実施例の、SiCを用いたGTOの断面図である。図3において、本実施例のGTOは、図2に示す前記第1実施例のGTOと比べると、各層の導電型のp型とn型が入れ替わっている。下面にアノードAにつながるアノード電極20(第1の電極)を有する、厚さが約350μmのp型アノードエミッタ層4A(第1のエミッタ層)の上面に、厚さ約50μmの低不純物濃度のn型SiCのベース層2A(第1のベース層)を形成する。ベース層2Aの上に厚さ数μmの薄いp型ベース層3A(第2のベース層)を形成し、p型ベース層3Aの全面に、後の工程で中央領域を残してn型カソードエミッタ層1Aとするn型層をエピタキシャル成長法によって形成する。次にn型層の、カソードエミッタ層1A(第2のエミッタ層)となる領域を残して他の領域を反応性イオンエッティング法でp型ベース層3A

の表面が露出しつつ表面部分がいくらか除去される程度に深くエッティングしてメサ型のカソードエミッタ層 1 A を形成する。そしてカソードエミッタ層 1 A の上にカソード電極 2 1 (第 2 の電極) を形成する。露出した p 型ベース層 3 A にイオン注入により p 型の高不純物濃度を有する低抵抗値の低抵抗ゲート領域 5 A 及び p 型のゲートコンタクト領域 6 A をカソードエミッタ層 1 A を取り囲むように順次重ねて形成する。ゲートコンタクト領域 6 A にゲート電極 2 2 (第 3 の電極) を形成する。最後に電極を除く全面に SiO₂ の絶縁膜 1 0 を形成する。

本実施例の GTO では、ゲート電極 2 2 とカソード電極 2 1 が近接しているので、アノード A の電位がカソード K の電位より高い状態で、カソード K とゲート G 間に順バイアス電圧を印加すると、ゲート G からカソード K に電流が流れる。その結果、アノードエミッタ層 4 A からホールが n 型ベース層 2 A に注入されて p 型のベース層 3 に入ると共に、電子が n 型カソードエミッタ層 1 A から p 型ベース層 3 A に注入され、GTO はターンオンしてオン状態となる。カソード K とゲート G 間に逆バイアス電圧を印加し、アノード A からカソード K に流れる電流をゲート G に分流させると、GTO はターンオフする。

本実施例の SiC を用いた GTO では、p 型ベース層 3 A 内に n 型の低抵抗ゲート領域 5 A を形成したことにより、ターンオフ時に、アノード A からゲート G に流れ

る電流は、低抵抗ゲート領域 5 A 及びゲートコンタクト領域 6 A を通る。低抵抗ゲート領域 5 A は低抵抗値であるので電圧降下が小さく、ゲート G に大きな電流を流すことができる。従って前記の第 1 実施例と実質的に同様の作用により、ターンオフ時及びオフ状態の時に、n 型カソードエミッタ層 1 A と p 型ベース層 3 A との接合部 J 近傍の絶縁膜 10 の電界を小さくできる。また、ターンオフ時のオフゲート電圧を上げることにより、高温時でも室温のときとほぼ同じ最大可制御電流を実現できる。

《第 3 実施例》

図 4 は本発明の第 3 実施例の、SiC を用いた GTO の断面図である。図において本実施例の GTO では、p 型アノードエミッタ層 4 と n 型ベース層 3 との接合部 J の端部近傍を少なくとも含み、メサ M のコーナー部 MC 近傍からゲート電極 22 の方へ広がる p 型の領域 7 を n 型ベース層 3 内に形成している。その他の構成は図 2 に示す前記第 1 実施例の GTO と同じである。p 型の領域 7 を形成することにより、ターンオフ時のオフゲート電圧を大きくした場合でも、p 型アノードエミッタ層 4 と n 型ベース層 3 の接合部 J の端部のメサコーナー部 MC 近傍の絶縁膜 10 の電界強度を緩和することができる。その結果ゲート G とアノード A 間の耐電圧を上げることができるとともに、可制御電流を大きくすることができる。また、絶縁膜 10 に印加される電界強度を下げるこ

とができるので、絶縁膜10の劣化を防ぐことができる。そのため長期の使用においてもゲートGとアノードA間の漏れ電流の増大等を引き起こすおそれがなく、長期間高い信頼性を維持できる。本実施例のGTOの具体例では、ゲートGとアノードAとの間の耐電圧は205Vであり、第1実施例のGTOの耐電圧(150V)よりも高い耐電圧が得られた。

《第4実施例》

図5は本発明の第4実施例の、SiCを用いたGTOの断面図である。図において、本実施例のGTOでは、n型低抵抗ゲート領域5が、n型ベース層3の端部領域の、p型アノードエミッタ層4を除く部分に設けられている。n型低抵抗ゲート領域5は、p型アノードエミッタ層4を形成するためのメサエッチング用のマスクを用いて、n型ベース層3内にセルフアラインにより形成される。従ってn型低抵抗ゲート領域5のパターンを形成するためのプロセスを省略できる。本実施例では、前記第3実施例と同様に、p型アノードエミッタ層4とn型ベース層3との接合部Jの端部近傍を少なくとも含み、メサMのメサコーナー部MCの近傍からゲート電極22の方に広がるp型の領域7を前記n型低抵抗ゲート領域5内に形成している。その他の構成は図2に示す前記第1実施例のものと同じである。p型の領域7を設けることによつて、メサコーナー部MC近傍で高不純物濃度の

p型アノードエミッタ層4と高不純物濃度のn型低抵抗ゲート領域5の接合が形成されるのを回避し、メサMの底面で接合が形成されるようにする。その結果メサコーナー部MC近傍の絶縁膜10の電界強度が緩和されて、オフゲート電圧を高くすることができる。p型の領域7を、メサコーナー部MCを覆うように大きくし、アノードエミッタ層4とつながるように形成してもよい。本実施例の具体例によると、ゲートGとアノードA間の耐電圧は130Vであり、前記第1実施例のGTOの耐電圧(150V)より低いものの、従来のGTO(約30V)より大幅に高い耐電圧が得られた。耐電圧が高いのでゲート電圧をあげることにより可制御電流を大きくすることができる。本実施例4のGTOでは、前記第1から第3実施例のGTOに設けられているゲートコンタクト領域6Aを設けていない。従って構成が簡単であり製造コストが安い。

《第5実施例》

図6は本発明の第5実施例の、SiCを用いたGTOの断面図である。図6において、本実施例のGTOは、図4に示す前記第3実施例のGTOからn型低抵抗ゲート領域5を除いた構成を有する。第3実施例のGTOにおいてn型低抵抗ゲート領域5を形成する工程では、n型ベース層3にイオン注入を行って高不純物濃度のn型層を形成する。このとき、n型ベース層3及びn型低抵

抗ゲート領域5に結晶欠陥が生じやすい。その結果、ゲート・アノード間の表面のリーク電流が増える。本実施例ではn型低抵抗ゲート領域5を設けないので、n型ベース層3に結晶欠陥による前記の問題は生じない。

本実施例では図4に示す前記第3実施例のGTOと同様にp型アノードエミッタ層4とn型ベース層3との接合部Jの端部近傍を少なくとも含み、メサMのコーナー部MCの近傍からゲート電極22の方へ広がる電界強度緩和用のp型の領域7をn型ベース層3内に形成している。本実施例においても前記第4実施例の場合と同様に、p型の領域7をメサコーナー部MCを覆うように大きくし、アノードエミッタ層4とつながるように形成してもよい。この構成により、オフゲート電圧を高くしてもメサコーナー部MC近傍の電界強度が高くなることはなく、従って絶縁膜10の電界強度も高くなることはない。そのため絶縁膜10の劣化が避けられる。本実施例のGTOの具体例では、ゲート電極22とアノード電極21との間の耐電圧は210Vであった。オフゲート電圧を高くすることができるので、可制御電流の大きいGTOが実現できる。

《第6実施例》

図7は本発明の第6実施例の、SiCを用いたGTOの断面図である。本実施例のGTOでは、カソード電極21を下面に有する高不純物濃度のn型SiCのカソ-

ドエミッタ層1の上にp型ベース層2をエピタキシャル成長法により形成する。次に、p型ベース層2の両端部領域にn型低抵抗ゲート領域5を形成する。次にp型ベース層2とn型低抵抗ゲート領域5の全面に、後の工程を経てn型ベース層3及びp型アノードエミッタ層4となるn型ベース層及びp型アノードエミッタ層をエピタキシャル成長法により順次積層する。n型ベース層及びp型アノードエミッタ層の両端部領域を、反応性イオンエッチング法により、n型低抵抗ゲート領域5の面が露出するまでエッチングし、メサ斜面MSを有するメサ型のn型ベース層3及びp型アノードエミッタ層4を形成する。本実施例の構成によれば、p型アノードエミッタ層4とn型ベース層3のメサ斜面MSに露出する接合部JEを、電界集中が生じやすいメサコーナー部MCの近傍から離して十分な沿面距離をとることができ。そのため、オフゲート電圧を高くすることができるので、可制御電流の大きいGTOを実現できる。前記第1から第4実施例の場合のように、n型ベース層3内の深い部分までイオン打ち込みをしてn型低抵抗ゲート領域5をn型ベース層3内に形成する場合、n型ベース層3に結晶欠陥が生じやすい。これに対して、前記の反応性エッチング法によりn型ベース層3を形成する場合には、n型ベース層3に結晶欠陥が発生しない。p型ベース層2内にn型低抵抗ゲート領域5を生成するときのみイオン注入を行うので、イオン注入の工程が少なくGTOの製造

工程を簡略化できる。

SiCのGTOの場合、例えばSiのGTOに比べて、n型ベース層3の不純物濃度が高い。そのため、オフ時にn型ベース層3内に空乏層があまり広がらない。したがって、SiCのGTOでは、SiのGTOで問題となっている低抵抗ゲート領域の端部への電界集中が生じないことから、アノード電極20とカソード電極21間の耐電圧を高くすることができる。

《第7実施例》

図8は本発明の第7実施例の、SiCを用いたGTOの断面図である。本実施例のGTOは、両端部のn型低抵抗ゲート領域5の間の主電流が流れる活性領域内において、p型ベース層2の表面近傍に、少なくとも1つのn型低抵抗ゲート小領域55を形成している。その他の構成は図7に示すものと同じである。本実施例のGTOでは、ターンオフ時にn型カソードエミッタ層1からp型ベース層2に注入される電子流の大部分を、活性領域内に形成したn型低抵抗ゲート領域55によって左右のゲート電極22に有効に分流させることができる。これにより可制御電流の大きいGTOが実現できる。使用温度が150°Cを超える高温時にキャリア（電子及びホール）のライフタイムが長くなったり、p型アノードエミッタ層4のイオン化率が上昇してホール濃度が増加しn型ベース層3を通ってp型ベース層2に流入するホール

が増加した場合でも、可制御電流が小さくなることはほとんどない。

前記第1から第7実施例において、n型の層及び領域をp型の層及び領域に置き換え、p型の層及び領域をn型の層及び領域に置き換えることにより構成されるGTOにも本発明の構成を適用できる。

《第8実施例》

図9は本発明の第8実施例の、SiCを用いたGTOの断面図である。図において、メサ型のアノードエミッタ層4の上面の中央部を除く領域にアノードコンタクト電極61を形成している。アノードAにつながるアノード電極60は、アノードエミッタ層4の中央領域においてのみアノードエミッタ層4に接している。アノードエミッタ層4の中央領域を除く周囲領域では、アノード電極60はアノードコンタクト電極61を介してアノードエミッタ層4に接している。アノードコンタクト電極61にはニッケルを用い、アノード電極60には、半導体層に対する接触抵抗がニッケルよりも高い金を用いる。当技術分野において、SiC半導体層に金属膜を形成したときの両者間の接触抵抗は、金属の電気伝導性とは別に、金属の種類及び金属膜の成膜後の熱処理により異なることが知られている。前記接触抵抗の低い金属にはニッケル、チタン、アルミニウム、タンクスチタン及びこれらの金属の複合膜がある。接触抵抗の高い金属には金等

がある。本実施例ではニッケルによるアノードコンタクト電極 6 1 を少なくとも左右 2 つの領域に分割して設けて適切な熱処理をしている。2 つの領域のアノードコンタクト電極 6 1 の隙間は 1 ミクロンから 20 ミクロン程度である。その他の構成は図 6 に示す前記第 5 実施例と類似である。図 9 においては、メサ型のアノードエミッタ層 4 の側面とベース層 3 の表面との角度が約 90 度であるが、この角度が 140 度から 50 度程度の範囲にある場合でも本実施例を適用可能である。

本実施例では、アノードコンタクト電極 6 1 に接触抵抗の低いニッケルを用いたことにより、アノードコンタクト層とアノードエミッタ層 4 との接触抵抗が低くなる。そのため、オン電流（ホール電流）はアノード電極 6 0 がアノードエミッタ層 4 に直接接している領域をほとんど流れず、アノードコンタクト電極 6 1 の部分を通ってアノードエミッタ層 4 に流れる。したがって、アノードコンタクト電極 6 1 の下方を集中的に電流が流れ、アノードコンタクト電極 6 1 のない部分の電流密度は小さくなる。

カソードエミッタ層 1 から流入する電子流は、ホール電流の流れている領域を流れるため、電子流もアノードコンタクト電極 6 1 の存在する領域に片寄る。したがって、電子流における電子が余剰に存在する領域はゲートコンタクト領域 6 に近づく。そのためターンオフ時には効率的に電子をゲート G から引き抜くことができ、可制

御電流が大きくなる。本実施例の場合、可制御電流は標準的な従来例に比べ55%大きくなつた。

本実施例では、アノードコンタクト電極61を分割して設ける構成にしたが、アノード電極60を同様に分割してもよい。またボンディング上問題なればアノード電極60を設けず、アノードコンタクト電極61のみを設ける構成にしても同様の効果が得られる。

《第9実施例》

図10は本発明の第9実施例の、SiCを用いたGTOの断面図である。図において、ニッケル等の電気接触抵抗の低い材料によるアノードコンタクト電極71が、アノードエミッタ層4の上に形成されている。アノードエミッタ層4の表面中央領域には低不純物濃度のp型の領域73を設けている。アノードコンタクト電極71の上にアノード電極70が形成されている。アノード電極70はアノードコンタクト電極71より大きくなされ、その端部はアノードエミッタ層4の周辺部に直接接している。その他の構成は前記第8実施例のものと同様である。p型の領域73は低不純物濃度なので、この領域73とアノードコンタクト電極71との接触抵抗は高い。また領域73内の抵抗も周囲のアノードエミッタ層4に比べると高い。その結果前記第8実施例と同様に、ホール電流は中央部を避けて左右に分割されて流れる。したがつて電子流も左右に分かれて流れる。分流する電子流

による電子が余剰に存在する領域はゲートコンタクト領域6に近づく。そのためp型ベース層2の中央領域では電子密度が減少する。その結果ゲートから電子を効率的に引き抜くことができるため可制御電流が増加する。図10においては、メサ型のアノードエミッタ層4の側面とベース層3の表面との角度が約90度であるが、この角度が140度から50度程度の範囲にある場合でも本実施例を適用可能である。

《第10実施例》

図11は本発明の第10実施例の、SiCを用いたGTOの断面図である。本実施例のGTOが第9実施例のものと異なる点は、低不純物濃度のp型の領域73の代わりに高不純物濃度のn型の領域83を形成している点である。その他の構成は図10に示す前記第9実施例のものと同様である。この構成においてもアノードエミッタ層4の中央領域を電流が流れにくくなり、ホール電流はアノードエミッタ層4内で左右に分割されて流れる。そのため電子流も左右の領域を分かれて流れる。その結果分流された電子流の流路がゲートコンタクト領域6に近づくため制御効率が良くなり可制御電流が向上する。n型の領域83は、ゲートコンタクト領域6の形成時にイオン注入により同時に形成することが可能であるので、形成工程が簡単になる。

《第 1 1 実施例》

図 1 2 は本発明の第 1 1 実施例の、SiC を用いた GTO 断面図である。本実施例では、高不純物濃度の n 型の領域 9 3 を n 型のベース層 3 の表面中央領域に設けている。その他の構成は図 1 0 に示す前記第 9 の実施例のものと同様である。この構成では、アノードエミッタ層 4 からカソードエミッタ層 1 に向かって流れるホール電流の流れがベース層 3 の中央領域に形成した n 型の領域 9 3 により妨げられ、ベース層 3 内で左右に分かれる。その結果、前記第 8 実施例と同様の作用により可制御電流を大きくすることができる。

産業上の利用可能性

本発明は、広い温度範囲において大電流の遮断が可能なワイドギャップ半導体を用いたゲートターンオフサイリスタに利用可能である。

請求の範囲

1. 一方の面に第1の電極を有する、n型及びp型のいずれか一方の導電型の第1のエミッタ層、

前記第1のエミッタ層の他方の面に設けられた第1のエミッタ層の導電型と異なる導電型の第1のベース層、

前記第1のベース層の上に設けられた第1のエミッタ層と同じ導電型の第2のベース層、

前記第2のベース層の上に設けられたメサ型の、前記第1のエミッタ層の導電型と異なる導電型の第2のエミッタ層、

前記メサ型の第2のエミッタ層に設けられた第2の電極、

前記メサ型の第2のエミッタ層と前記第2のベース層との接合部の端部から離れた領域において、前記メサ型の第2のエミッタ層を取り囲むように設けられ、前記接合部との間に前記第2のベース層を介在させつつ前記接合部の端部近傍から前記メサ型の第2のエミッタ層の底部に至る領域に形成した、前記第2のベース層と同じ導電型でかつ前記第2のベース層の不純物濃度より高い不純物濃度を有する低抵抗ゲート領域、及び

前記低抵抗ゲート領域端部に接する第3の電極を有するワイドギャップ半導体のゲートターンオフサイリスタ。

2. 前記低抵抗ゲート領域の、前記第3の電極との接合部近傍の不純物濃度を前記低抵抗ゲート領域の不純物濃度より高くして低抵抗領域としたことを特徴とする請求項1記載のワイドギャップ半導体のゲートターンオフサイリスタ。
3. 前記低抵抗ゲート領域が、前記第2のエミッタ層と前記第2のベース層との接合近傍の第2のベース層内に設けられている請求項1記載のワイドギャップ半導体のゲートターンオフサイリスタ。
4. 前記第2のベース層と前記第2のエミッタ層との接合部の端部近傍の前記第2のベース層内に設けられた、前記第2のエミッタ層と同じ導電型の領域を更に有する請求項1記載のワイドギャップ半導体のゲートターンオフサイリスタ。
5. 前記第2のベース層の表面近傍の、前記メサ型の第2エミッタ層と第2のベース層との接合部近傍を含むメサの底部に、前記接合部の端部との間に前記第2のエミッタ層と同じ導電型の領域を介在させて前記第2のベース層と同じ導電型の低抵抗ゲート領域を設けたことを特徴とする請求項1記載のワイドギャップ半導体のゲートターンオフサイリスタ。

6. 前記第2のベース層の表面近傍の、前記メサ型の第2エミッタ層と第2のベース層との接合部から離れた位置に設けられた、前記第2のベース層と同じ導電型の低抵抗領域

前記低抵抗領域に接する第3の電極、及び前記第2のベース層と前記第2のエミッタ層との接合部の端部近傍の前記第2のベース層内に設けられた、前記第2のエミッタ層と同じ導電型の領域

を有する請求項1記載のワイドギャップ半導体のゲートターンオフサイリスタ。

7. 前記第2のベース層がメサ型に形成され、前記第2のベース層と同じ導電型の低抵抗ゲート領域が前記メサ型の第2のベース層を取り囲むように、前記第1のベース層内に形成されている請求項1記載のワイドギャップ半導体のゲートターンオフサイリスタ。

8. 前記低抵抗ゲート領域の内側に形成された、前記低抵抗ゲート領域と同じ導電型の少なくとも1つの低抵抗小領域を有する請求項1又は7記載のワイドギャップ半導体のゲートターンオフサイリスタ。

9. 前記第1のエミッタ層がn型のカソードエミッタ層であり、前記第1のベース層がp型のベース層であり、前記第2のベース層がn型のベース層であり、前記第2

のエミッタ層が p 型のアノードエミッタ層であり、前記低抵抗ゲート領域が n 型であり、

前記第 1 、第 2 及び第 3 の電極がそれぞれ、カソード電極、アノード電極及びゲート電極である請求項 1 記載のワイドギャップ半導体のゲートターンオフサイリスタ。

10. 前記第 1 のエミッタ層が p 型のアノードエミッタ層であり、前記第 1 のベース層が n 型のベース層であり、前記第 2 のベース層が p 型のベース層であり、前記第 2 のエミッタ層が n 型のカソードエミッタ層であり、前記低抵抗ゲート領域が p 型であり、

前記第 1 、第 2 及び第 3 の電極がそれぞれ、アノード電極、カソード電極及びゲート電極である請求項 1 記載のワイドギャップ半導体のゲートターンオフサイリスタ。

11. ワイドギャップ半導体がシリコンカーバイト (SiC) である請求項 1 に記載のワイドギャップ半導体のゲートターンオフサイリスタ。

12. 前記低抵抗ゲート領域の不純物濃度が、前記ベース領域の不純物濃度の 3 倍以上であることを特徴とする請求項 1 又は 8 に記載のワイドギャップ半導体のゲートターンオフサイリスタ。

13. 一方の面に第 1 の電極を有する、n 型及び p 型

のいずれか一方の導電型の第1のエミッタ層、

前記第1のエミッタ層の他方の面に設けられた第1のエミッタ層の導電型と異なる導電型の第1のベース層、

前記第1のベース層の上に設けられた第1のエミッタ層と同じ導電型の第2のベース層、

前記第2のベース層の上に設けられたメサ型の、前記第1のエミッタ層の導電型と異なる導電型の第2のエミッタ層、

前記メサ型の第2のエミッタ層に、前記第2のエミッタ層の中央領域を除く他の領域で接しているコンタクト電極、

前記メサ型の第2のエミッタ層と前記第2のベース層との接合部の端部から離れた領域において、前記メサ型の第2のエミッタ層を取り囲むように設けられた、前記第2のベース層と同じ導電型でかつ前記第2のベース層の不純物濃度より高い不純物濃度を有する低抵抗領域、及び

前記低抵抗領域の端部に接する第2の電極を有するワイドギャップ半導体のゲートターンオフサイリスタ。

1 4. 一方の面に第1の電極を有する、n型及びp型のいずれか一方の導電型の第1のエミッタ層、

前記第1のエミッタ層の他方の面に設けられた第1のエミッタ層の導電型と異なる導電型の第1のベース層、

前記第1のベース層の上面に設けられた第1のエミッタ層と同じ導電型の第2のベース層、

前記第2のベース層の上面に設けられたメサ型の、前記第1のエミッタ層の導電型と異なる導電型の第2のエミッタ層、

前記第2のエミッタ層の上面中央領域に設けられた、前記第2のエミッタ層と同じ導電型で、かつ不純物濃度が前記第2のエミッタ層より低い高抵抗領域、

前記第2のエミッタ層及び前記高抵抗領域に接するコンタクト電極、

少なくとも前記コンタクト電極及び前記コンタクト電極の外周部で前記第2のエミッタ層に接する、前記エミッタ層との接触抵抗が前記コンタクト電極より大きい第2の電極、

前記メサ型の第2のエミッタ層と前記第2のベース層との接合部の端部から離れた領域において、前記メサ型の第2のエミッタ層を取り囲むように設けられた、前記第2のベース層と同じ導電型でかつ前記第2のベース層の不純物濃度より高い不純物濃度を有する低抵抗領域、及び

前記低抵抗領域の端部に接する第3の電極を有するワイドギャップ半導体のゲートターンオフサイリスタ。

15. 前記メサ型の第2のエミッタ層の上面中央領域

に設けられた、前記第2のエミッタ層と異なる導電型の領域及び

前記第2のエミッタ層及び前記領域に少なくともコンタクト電極を介して対向する第2の電極

を有する請求項1、13及び14のいずれかに記載のゲートターンオフサイリスタ。

16. 前記第2のベース層の表面中央領域に設けられた、前記第2のベース層と同じ導電型で、不純物濃度が前記第2のベース層より高い高不純物領域、

前記第2のベース層及び前記高不純物領域の上に設けられたメサ型の、前記第1のエミッタ層と異なる導電型の第2のエミッタ層、及び

前記メサ型の第2のエミッタ層に少なくともコンタクト電極を介して接する第2の電極

を有する請求項1、13及び14のいずれかに記載のゲートターンオフサイリスタ。

補正書の請求の範囲

[2004年9月22日 (22. 09. 04) 国際事務局受理：出願当初の請求の範囲
1,5-8,14,15及び16は補正された；他の請求の範囲は変更なし。 (10頁)]

1. (補正後) 一方の面に第1の電極を有する、n型及びp型のいずれか一方の導電型の第1のエミッタ層、前記第1のエミッタ層の他方の面に設けられた第1のエミッタ層の導電型と異なる導電型の第1のベース層、前記第1のベース層の上に設けられた第1のエミッタ層と同じ導電型の第2のベース層、前記第2のベース層の上に設けられたメサ型の、前記第1のエミッタ層の導電型と異なる導電型の第2のエミッタ層、前記メサ型の第2のエミッタ層に設けられた第2の電極、前記メサ型の第2のエミッタ層を取り囲むメサの底面の下方において、前記第2のベース層の内部に形成した、前記第2のベース層と同じ導電型でかつ前記第2のベース層の不純物濃度より高い不純物濃度を有する低抵抗ゲート領域、及び前記低抵抗ゲート領域にゲートコンタクト領域を介して接する第3の電極を有するワイドギャップ半導体のゲートターンオフサイリスタ。

2. 前記低抵抗ゲート領域の、前記第3の電極との接合部近傍の不純物濃度を前記低抵抗ゲート領域の不純物濃度より高くして低抵抗領域としたことを特徴とする請求項1記載のワイドギャップ半導体のゲートターンオフサイリスタ。

3. 前記低抵抗ゲート領域が、前記第2のエミッタ層と前記第2のベース層との接合近傍の第2のベース層内に設けられている請求項1記載のワイドギャップ半導体のゲートターンオフサイリスタ。

4. 前記第2のベース層と前記第2のエミッタ層との接合部の端部近傍の前記第2のベース層内に設けられた、前記第2のエミッタ層と同じ導電型の領域を更に有する請求項1記載のワイドギャップ半導体のゲートターンオフサイリスタ。

5. (補正後) 一方の面に第1の電極を有する、n型及びp型のいずれか一方の導電型の第1のエミッタ層、前記第1のエミッタ層の他方の面に設けられた第1のエミッタ層の導電型と異なる導電型の第1のベース層、前記第1のベース層の上に設けられた第1のエミッタ層と同じ導電型の第2のベース層、前記第2のベース層の上に設けられたメサ型の、前記第1のエミッタ層の導電型と異なる導電型の第2のエミ

ツタ層、

前記メサ型の第2のエミッタ層に設けられた第2の電極、

前記第2のベース層の表面近傍の、前記メサ型の第2エミッタ層と第2のベース層との接合部近傍を含むメサの底部に、前記接合部の端部との間に前記第2のエミッタ層と同じ導電型の領域を介在させて前記第2のベース層と同じ導電型の低抵抗ゲート領域を設けたことを特徴とするワイドギャップ半導体のゲートターンオフサイリスタ。

6. (補正後) 一方の面に第1の電極を有する、n型及びp型のいずれか一方の導電型の第1のエミッタ層、前記第1のエミッタ層の他方の面に設けられた第1のエミッタ層の導電型と異なる導電型の第1のベース層、前記第1のベース層の上に設けられた第1のエミッタ層と同じ導電型の第2のベース層、前記第2のベース層の上に設けられたメサ型の、前記第1のエミッタ層の導電型と異なる導電型の第2のエミッタ層、前記メサ型の第2のエミッタ層に設けられた第2の電極、前記第2のベース層の表面近傍の、前記メサ型の第2エミッタ層と第2のベース層との接合部から離れた位置に設けられた、前記第2のベース層と同じ導電型の低抵抗領域、前記低抵抗領域に接する第3の電極、及び前記第2のベース層と前記第2のエミッタ層との接合部の端部近傍の前記第2のベース層内に設けられた、前記第2のエミッタ層と同じ導電型の領域を有するワイドギャップ半導体のゲートターンオフサイリスタ。

7. (補正後) 一方の面に第1の電極を有する、n型及びp型のいずれか一方の導電型の第1のエミッタ層、

前記第1のエミッタ層の他方の面に設けられた第1のエミッタ層の導電型と異なる導電型の第1のベース層、

前記第1のベース層の上に設けられた第1のエミッタ層と同じ導電型の第2のベース層、

前記第2のベース層の上に設けられたメサ型の、前記第1のエミッタ層の導電型と異なる導電型の第2のエミッタ層、

前記メサ型の第2のエミッタ層に設けられた第2の電極を有し、

前記第2のベース層がメサ型に形成され、前記第2のベース層と同じ導電型の低抵抗ゲート領域が前記メサ型の第2のベース層を取り囲むように、前記第1のベース層内に形成されている、ワイドギャップ半導体のゲートターンオフサイリスタ。

8. (補正後) 前記低抵抗ゲート領域の内側に形成された、前記低抵抗ゲート領域と同じ導電型の少なくとも1つの低抵抗小領域を有する請求項7記載のワイドギャップ半導体のゲートターンオフサイリスタ。

9. 前記第1のエミッタ層がn型のカソードエミッタ層であり、前記第1のベース層がp型のベース層であり、前記第2のベース層がn型のベース層であり、前記第2

のエミッタ層が p 型のアノードエミッタ層であり、前記低抵抗ゲート領域が n 型であり、

前記第 1、第 2 及び第 3 の電極がそれぞれ、カソード電極、アノード電極及びゲート電極である請求項 1 記載のワイドギャップ半導体のゲートターンオフサイリスタ。

10. 前記第 1 のエミッタ層が p 型のアノードエミッタ層であり、前記第 1 のベース層が n 型のベース層であり、前記第 2 のベース層が p 型のベース層であり、前記第 2 のエミッタ層が n 型のカソードエミッタ層であり、前記低抵抗ゲート領域が p 型であり、

前記第 1、第 2 及び第 3 の電極がそれぞれ、アノード電極、カソード電極及びゲート電極である請求項 1 記載のワイドギャップ半導体のゲートターンオフサイリスタ。

11. ワイドギャップ半導体がシリコンカーバイト (SiC) である請求項 1 に記載のワイドギャップ半導体のゲートターンオフサイリスタ。

12. 前記低抵抗ゲート領域の不純物濃度が、前記ベース領域の不純物濃度の 3 倍以上であることを特徴とする請求項 1 又は 8 に記載のワイドギャップ半導体のゲートターンオフサイリスタ。

13. 一方の面に第 1 の電極を有する、n 型及び p 型

のいずれか一方の導電型の第1のエミッタ層、
前記第1のエミッタ層の他方の面に設けられた第1の
エミッタ層の導電型と異なる導電型の第1のベース層、
前記第1のベース層の上に設けられた第1のエミッタ
層と同じ導電型の第2のベース層、
前記第2のベース層の上に設けられたメサ型の、前記
第1のエミッタ層の導電型と異なる導電型の第2のエミ
ッタ層、
前記メサ型の第2のエミッタ層に、前記第2のエミッ
タ層の中央領域を除く他の領域で接しているコンタクト
電極、
前記メサ型の第2のエミッタ層と前記第2のベース層
との接合部の端部から離れた領域において、前記メサ型
の第2のエミッタ層を取り囲むように設けられた、前記
第2のベース層と同じ導電型でかつ前記第2のベース層
の不純物濃度より高い不純物濃度を有する低抵抗領域、
及び
前記低抵抗領域の端部に接する第2の電極
を有するワイドギャップ半導体のゲートターンオフサ
イリスタ。

1 4 . (補正後) 一方の面に第1の電極を有する、n
型及びp型のいずれか一方の導電型の第1のエミッタ層、
前記第1のエミッタ層の他方の面に設けられた第1の
エミッタ層の導電型と異なる導電型の第1のベース層、

前記第1のベース層の上に設けられた第1のエミッタ層と同じ導電型の第2のベース層、

前記第2のベース層の上に設けられたメサ型の、前記第1のエミッタ層の導電型と異なる導電型の第2のエミッタ層、

前記第2のエミッタ層の上面中央領域に設けられた、前記第2のエミッタ層と同じ導電型で、かつ不純物濃度が前記第2のエミッタ層より低い高抵抗領域、

前記第2のエミッタ層及び前記高抵抗領域に接する第2の電極、

前記メサ型の第2のエミッタ層と前記第2のベース層との接合部の端部から離れた領域において、前記メサ型の第2のエミッタ層を取り囲むように設けられた、前記第2のベース層と同じ導電型でかつ前記第2のベース層の不純物濃度より高い不純物濃度を有する低抵抗領域、及び

前記低抵抗領域の端部に接する第3の電極を有するワイドギャップ半導体のゲートターンオフサイリスタ。

1 5 . (補正後) 一方の面に第1の電極を有する、n型及びp型のいずれか一方の導電型の第1のエミッタ層、前記第1のエミッタ層の他方の面に設けられた第1のエミッタ層の導電型と異なる導電型の第1のベース層、前記第1のベース層の上に設けられた第1のエミッタ層と同じ導電型の第2のベース層、前記第2のベース層の上に設けられたメサ型の、前記第1のエミッタ層の導電型と異なる導電型の第2のエミッタ層、前記メサ型の第2のエミッタ層の上面中央領域

に設けられた、前記第2のエミッタ層と異なる導電型の領域及び

前記第2のエミッタ層及び前記領域に少なくともコンタクト電極を介して対向する第2の電極
を有するゲートターンオフサイリスタ。

16. (補正後) 一方の面に第1の電極を有する、n型及びp型のいずれか一方の導電型の第1のエミッタ層、前記第1のエミッタ層の他方の面に設けられた第1のエミッタ層の導電型と異なる導電型の第1のベース層、前記第1のベース層の上に設けられた第1のエミッタ層と同じ導電型の第2のベース層、

前記第2のベース層の表面中央領域に設けられた、前記第2のベース層と同じ導電型で、不純物濃度が前記第2のベース層より高い高不純物領域、

前記第2のベース層及び前記高不純物領域の上に設けられたメサ型の、前記第1のエミッタ層と異なる導電型の第2のエミッタ層、及び

前記メサ型の第2のエミッタ層に少なくともコンタクト電極を介して接する第2の電極
を有するゲートターンオフサイリスタ。

条約第19条(1)に基づく説明書

請求の範囲1は、低抵抗ゲート領域(5)が、メサ(M)の底面(WB)の下方において、第2のベース層(3)の内部に形成されている構成を明瞭にするとともに、低抵抗ゲート領域(5)がゲートコンタクト領域(6)を介して第3の電極(22)に接している構成を明瞭にしました。補正の根拠は、明細書の第18頁第9行－第11行の記載に基づきます。

請求の範囲5、6、7は、請求の範囲1の第1行－第11行をそれぞれの文頭に追加して独立項に補正しました。

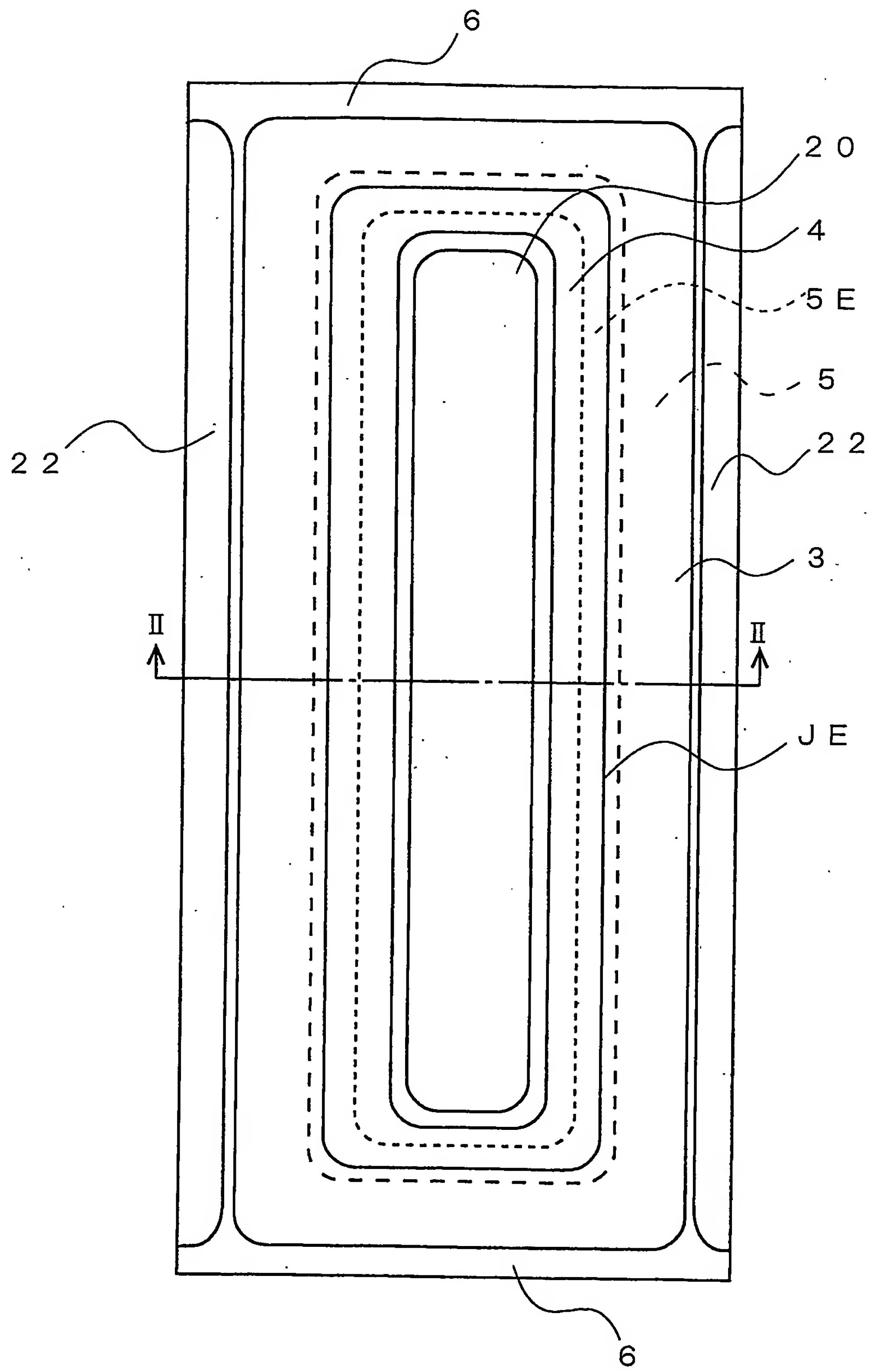
請求の範囲14は、第15行－第18行の「少なくとも——第2の電極」を削除しました。請求の範囲14の発明では、図10に示すように、高抵抗領域(73)の上に第2の電極としてのコンタクト電極(71)を設けていますが、文献4の図3では、N型層(19)の上に絶縁層(20)を設けています。コンタクト電極(71)と絶縁層(20)は機能的に異なりますので、請求の範囲14は進歩性を有します。

請求の範囲15は、請求の範囲1の第1行－第9行を文頭に追加して独立項に補正しました。

請求の範囲16は、請求の範囲1の第1行－第6行を文頭に追加して独立項に補正しました。

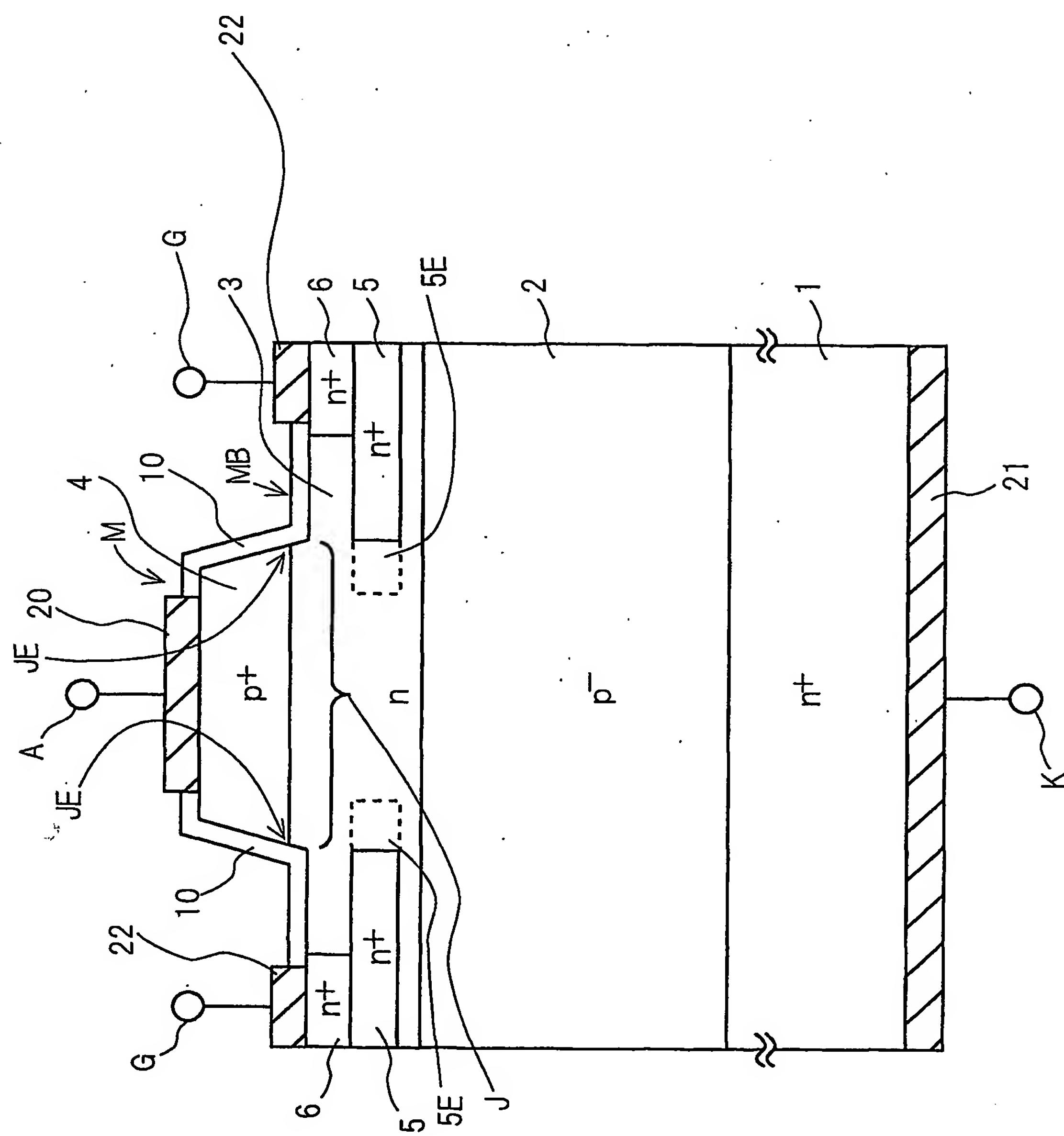
1 / 1.4

図 1



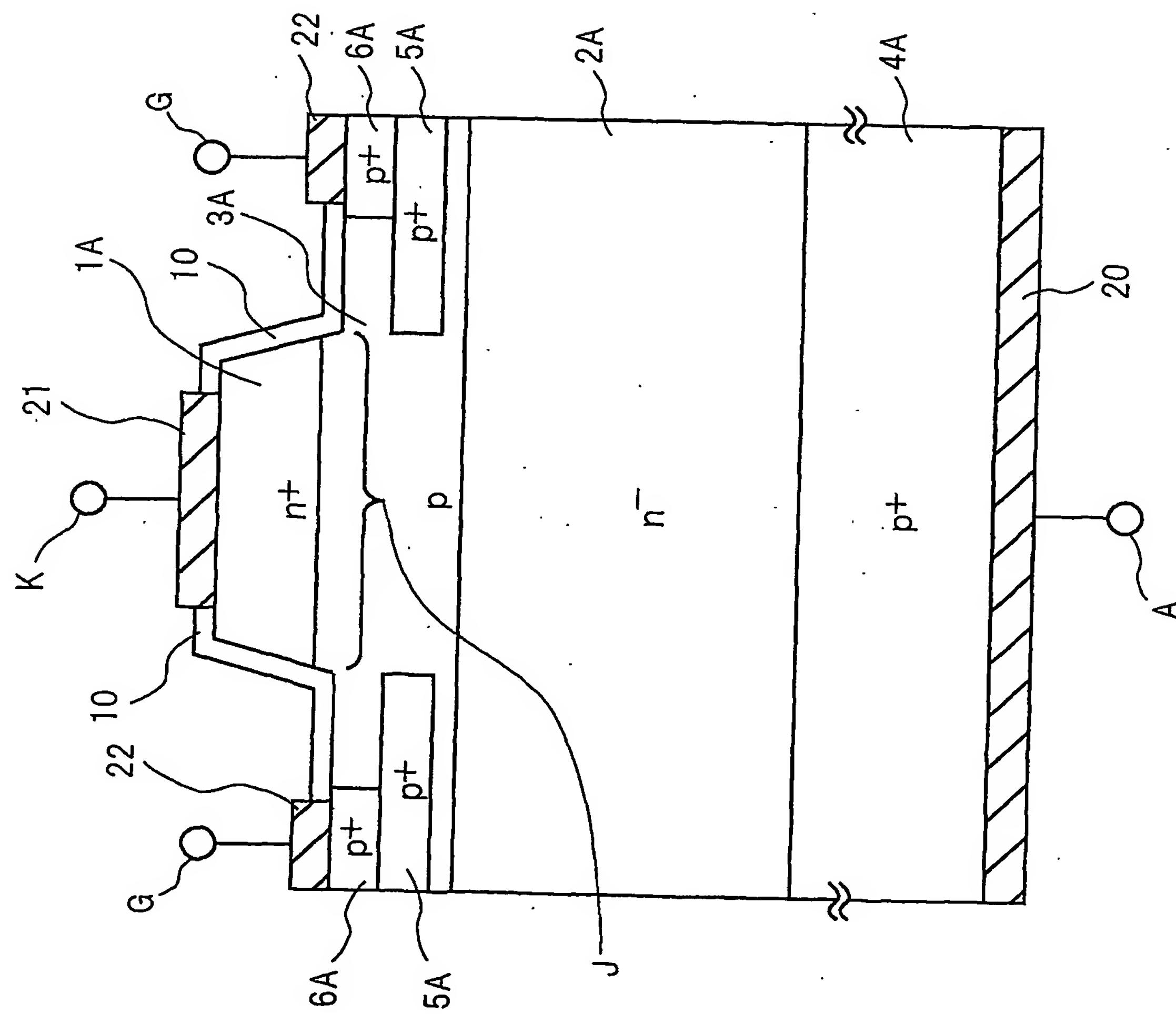
2 / 1.4

図 2



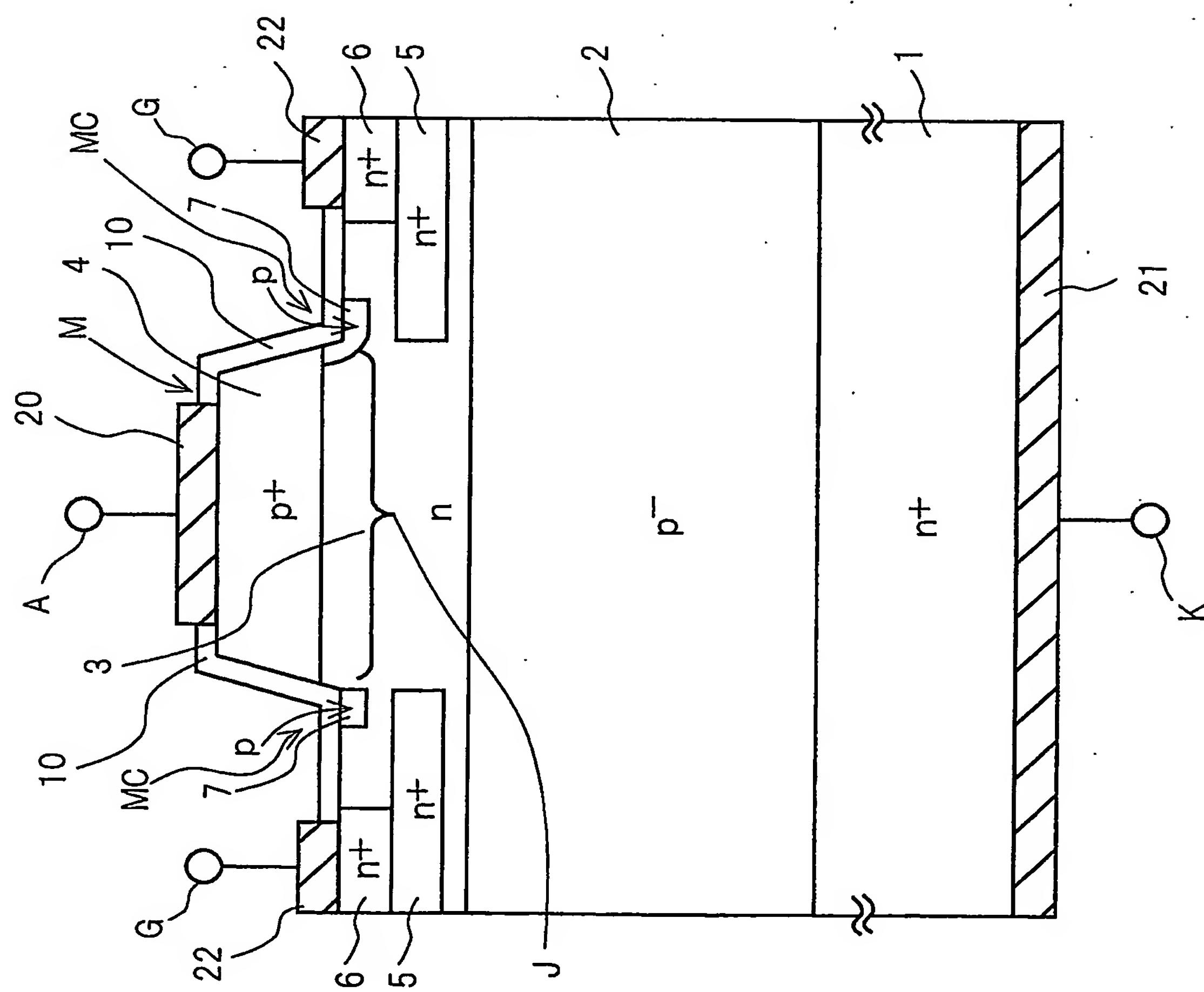
3 / 1.4

図3



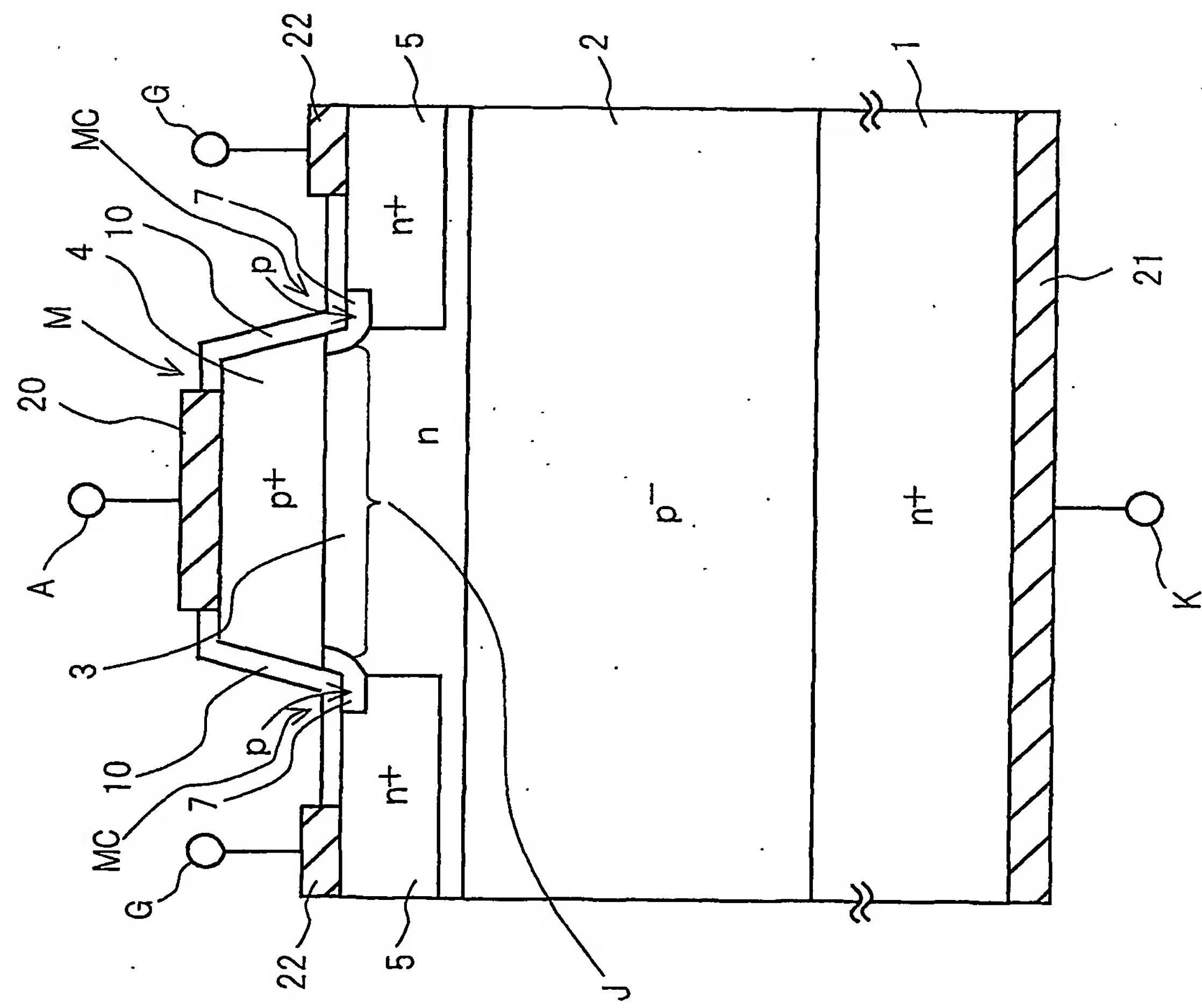
4 / 14

図4



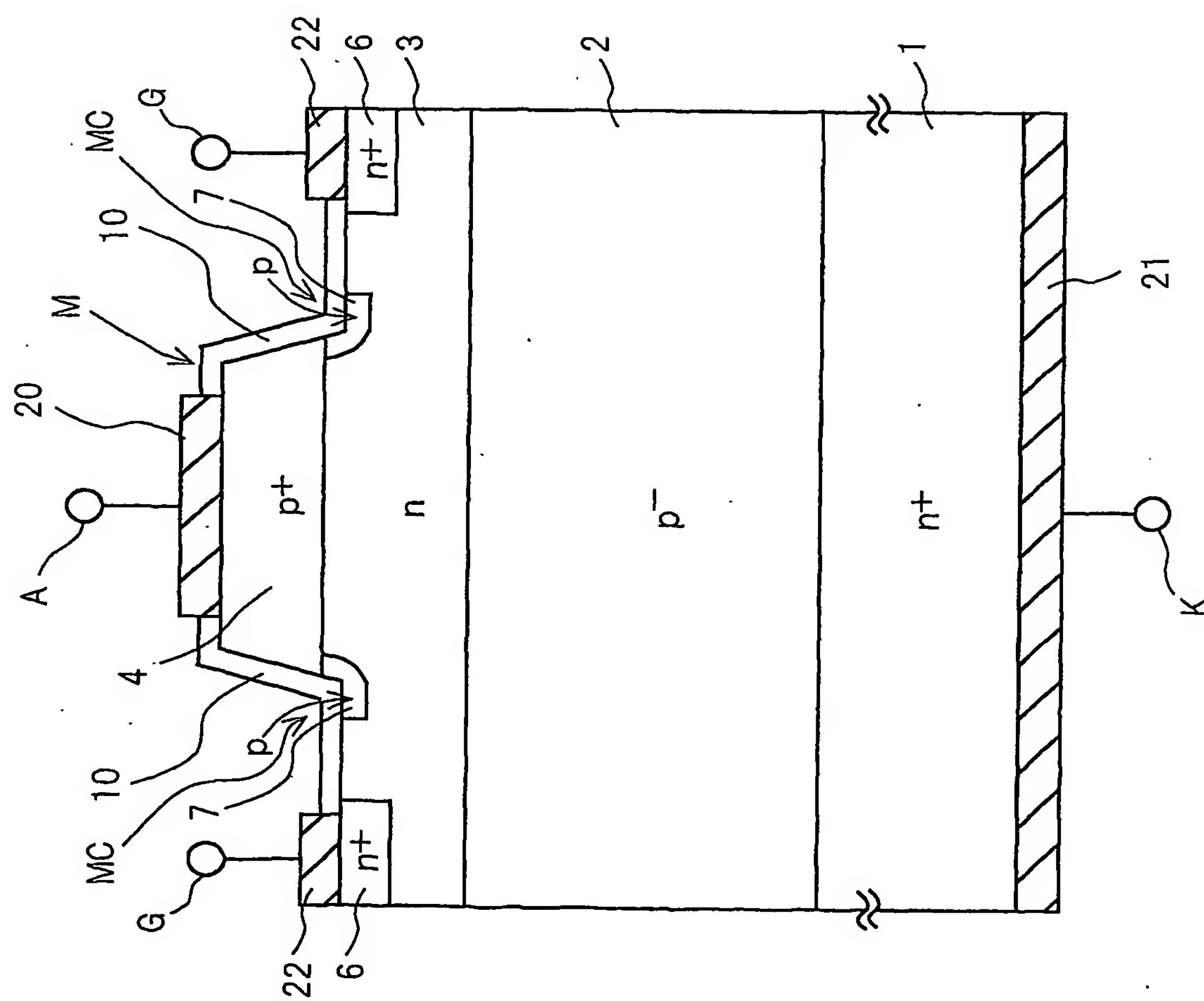
5 / 14

5



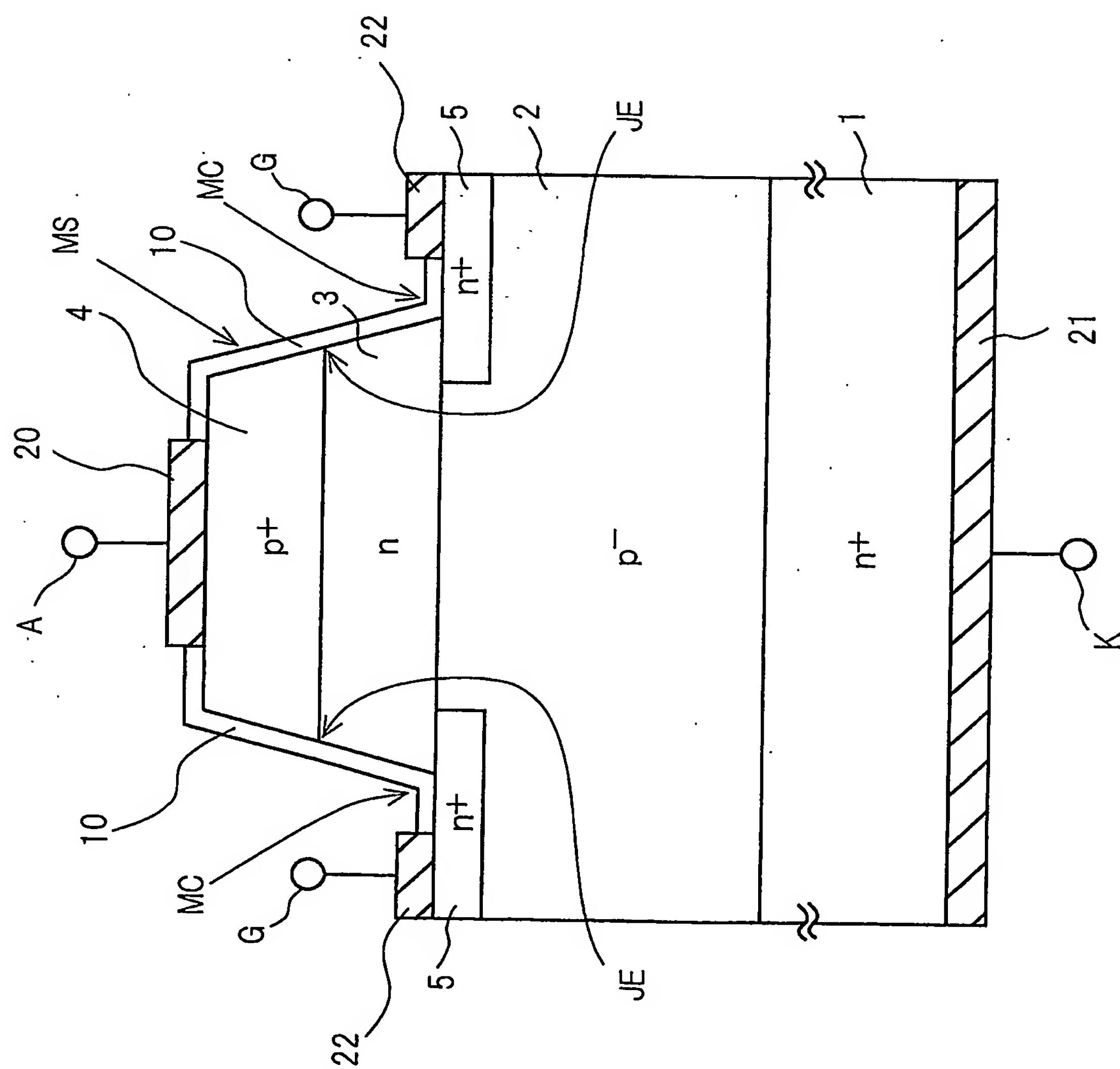
6 / 1.4

6



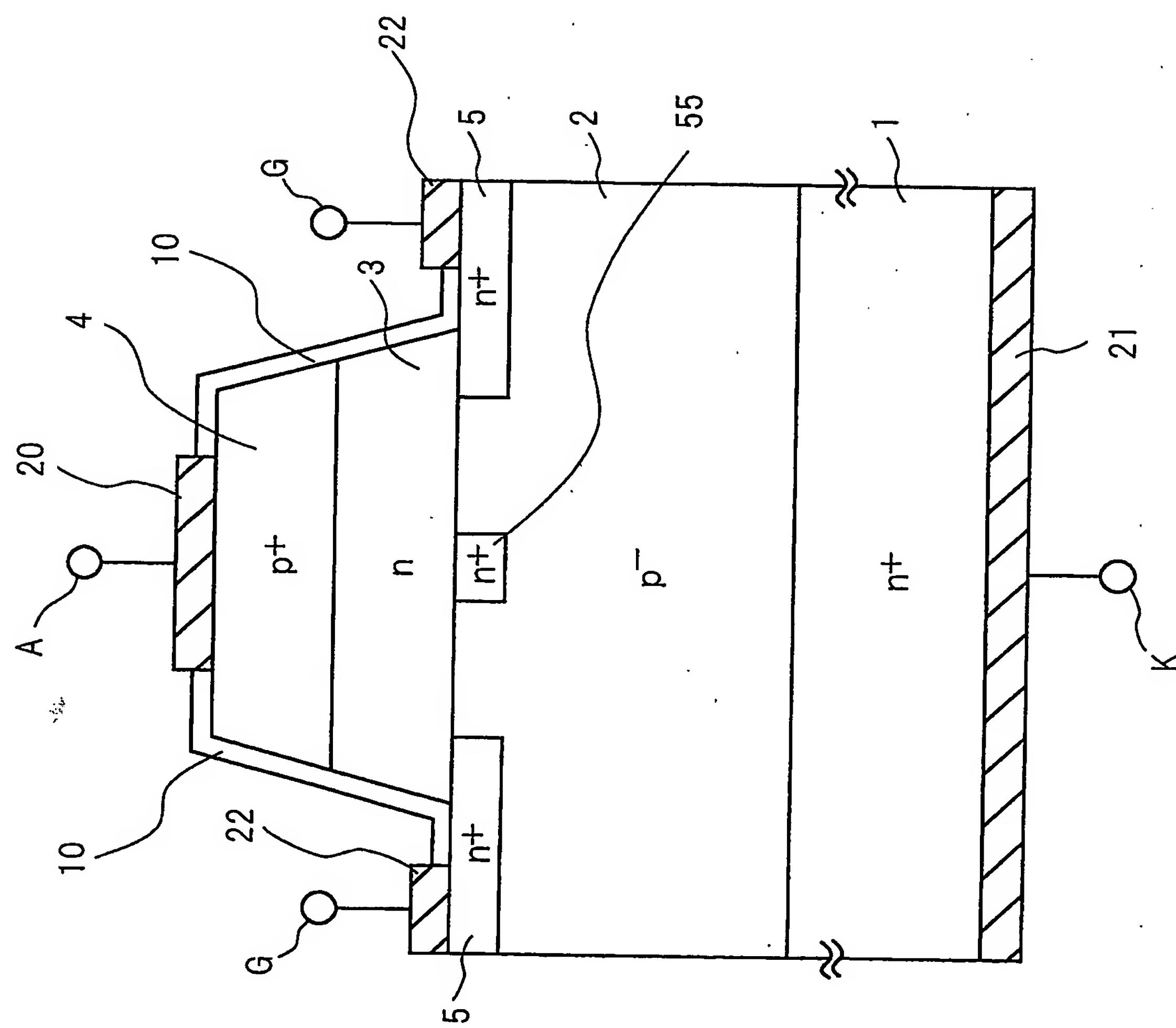
7 / 14

図 7



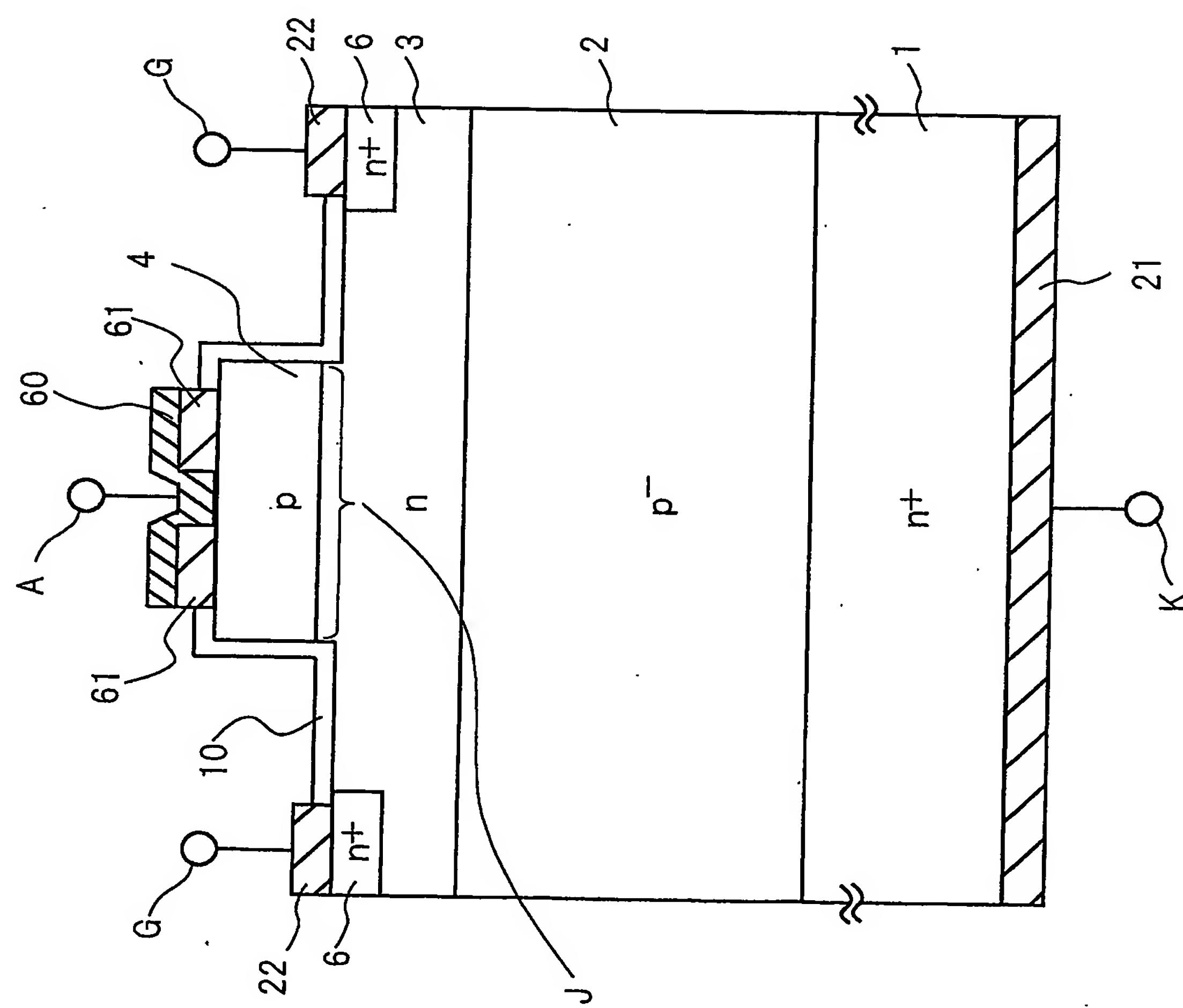
8 / 1.4

图 8



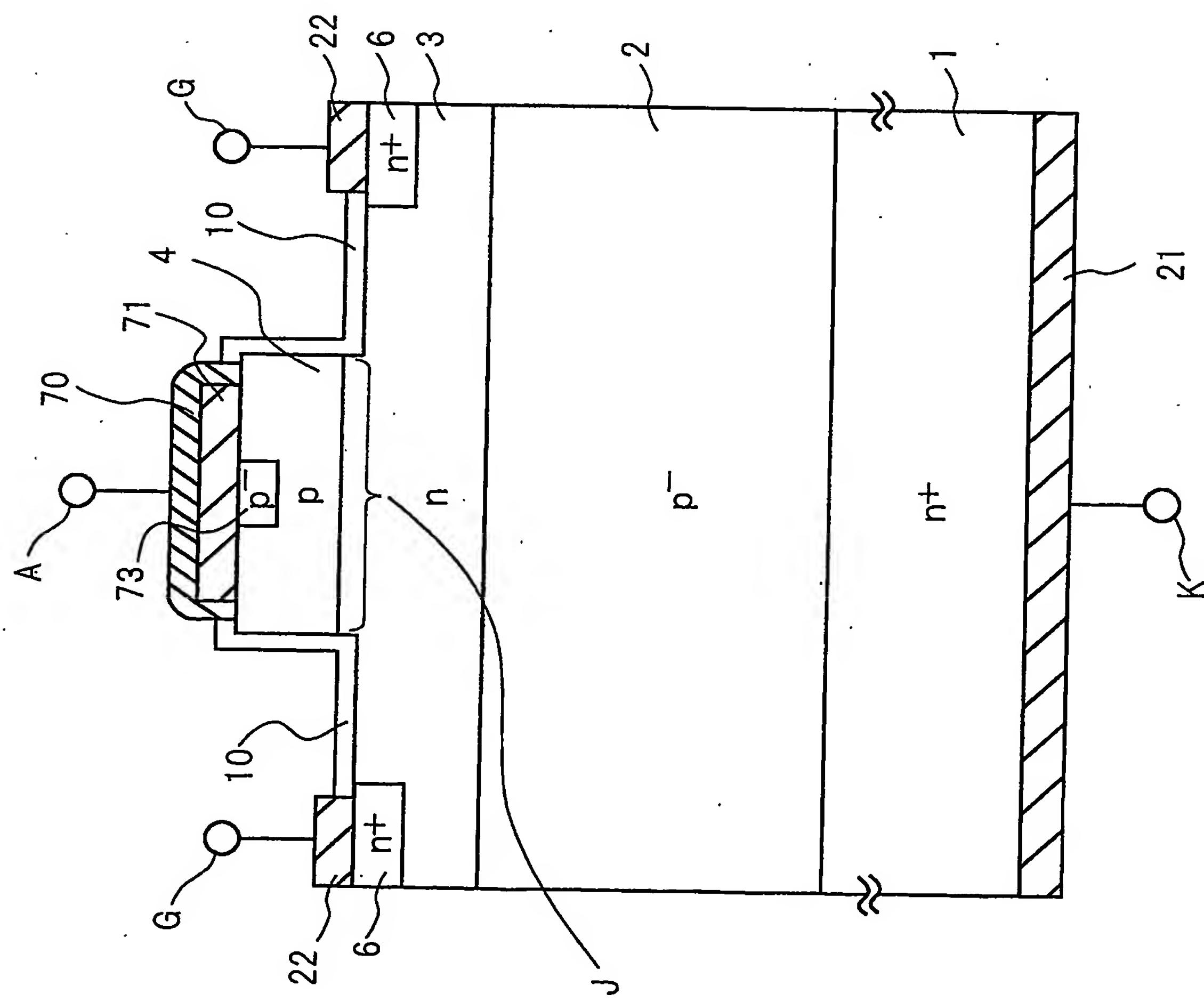
9 / 14

图 9



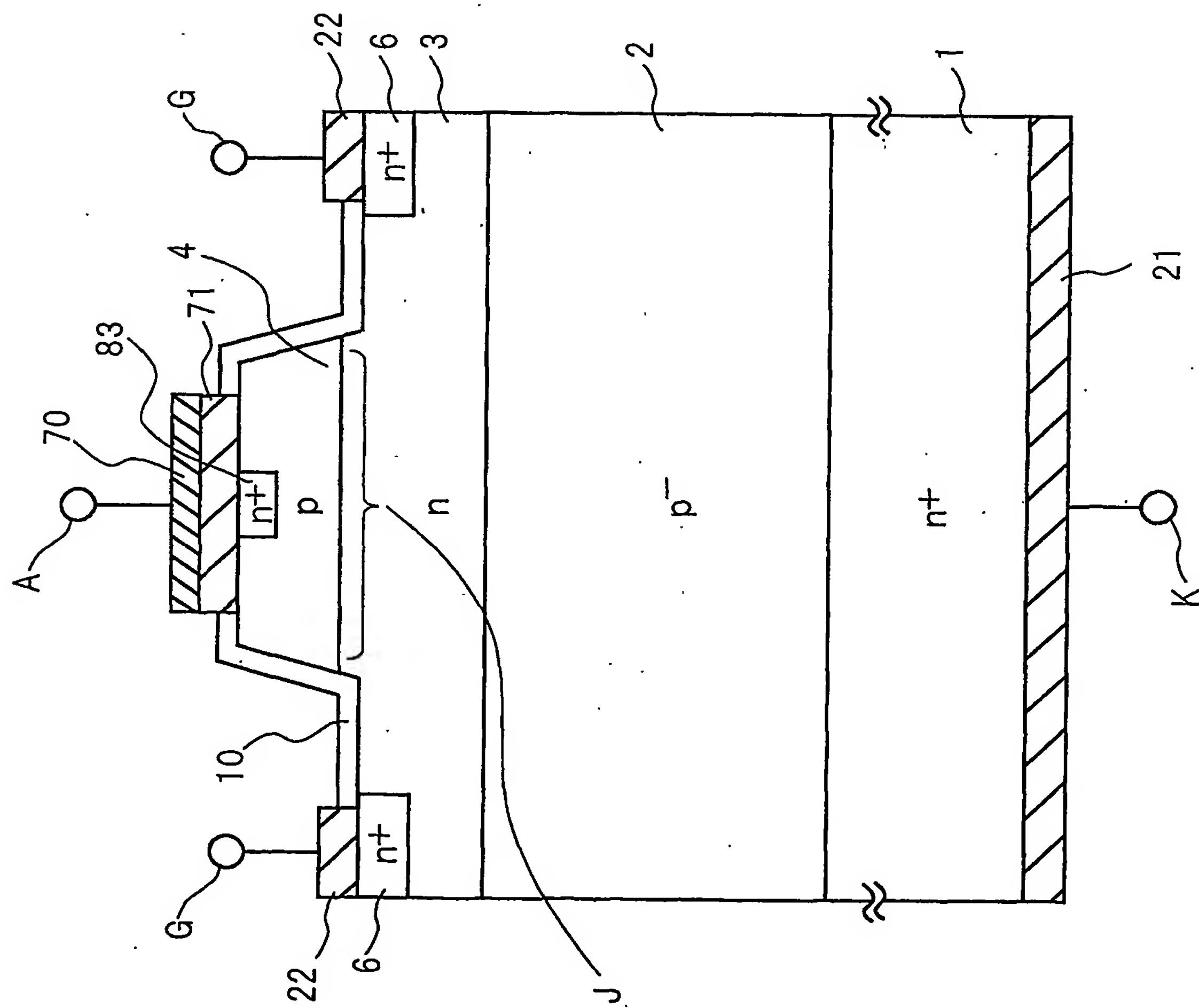
10 / 14

0
1

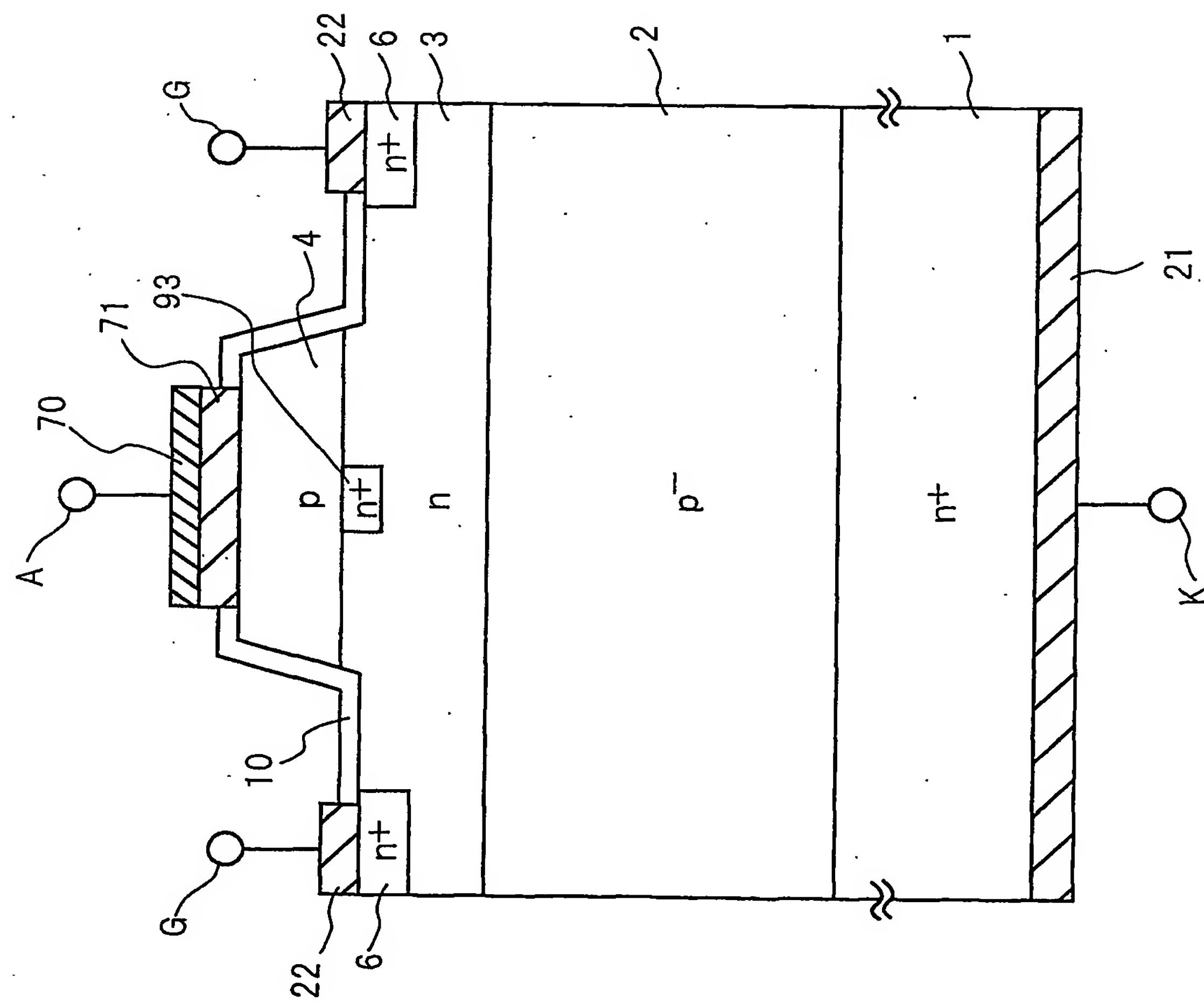
11/14

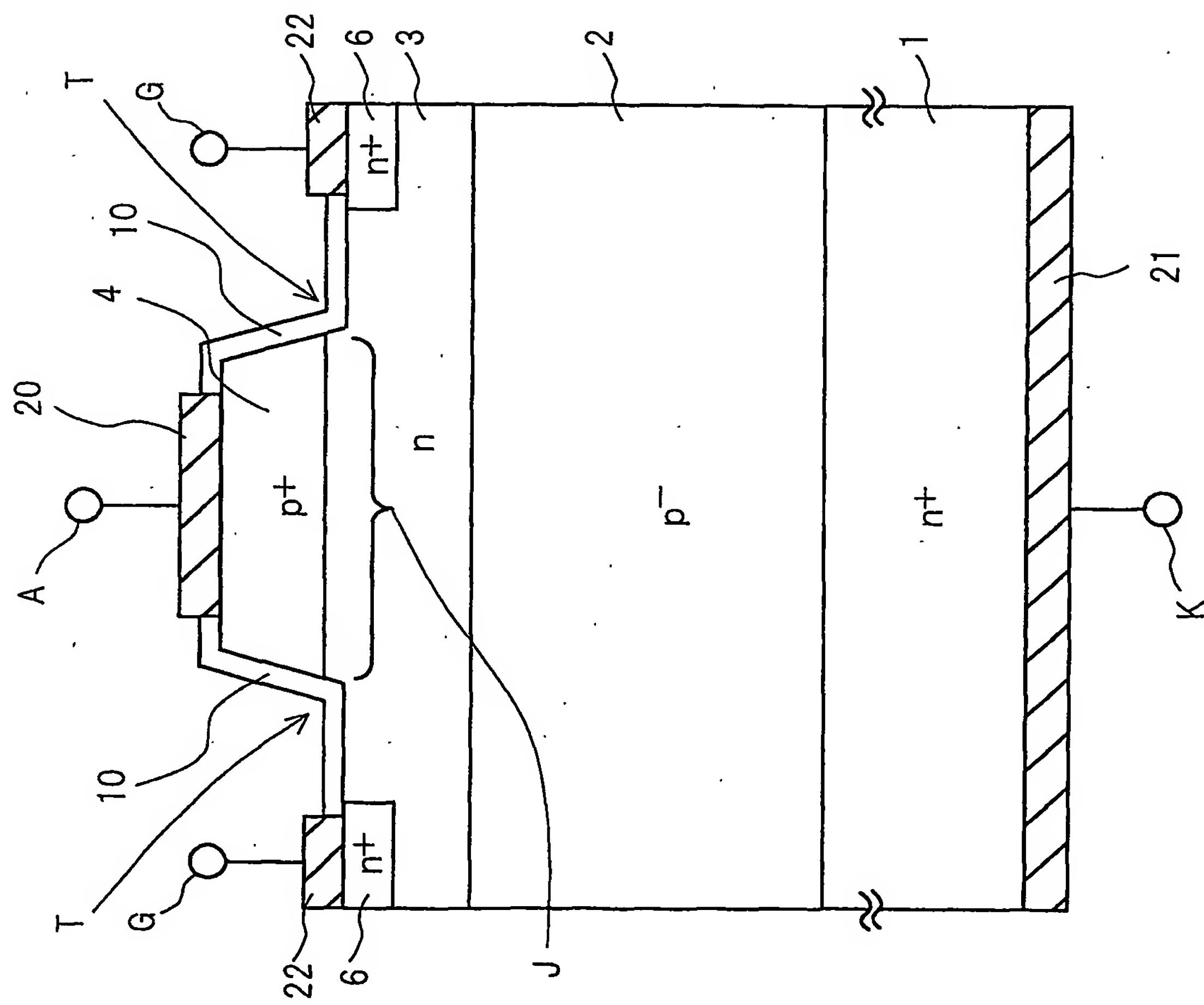
—
—
X



12/14

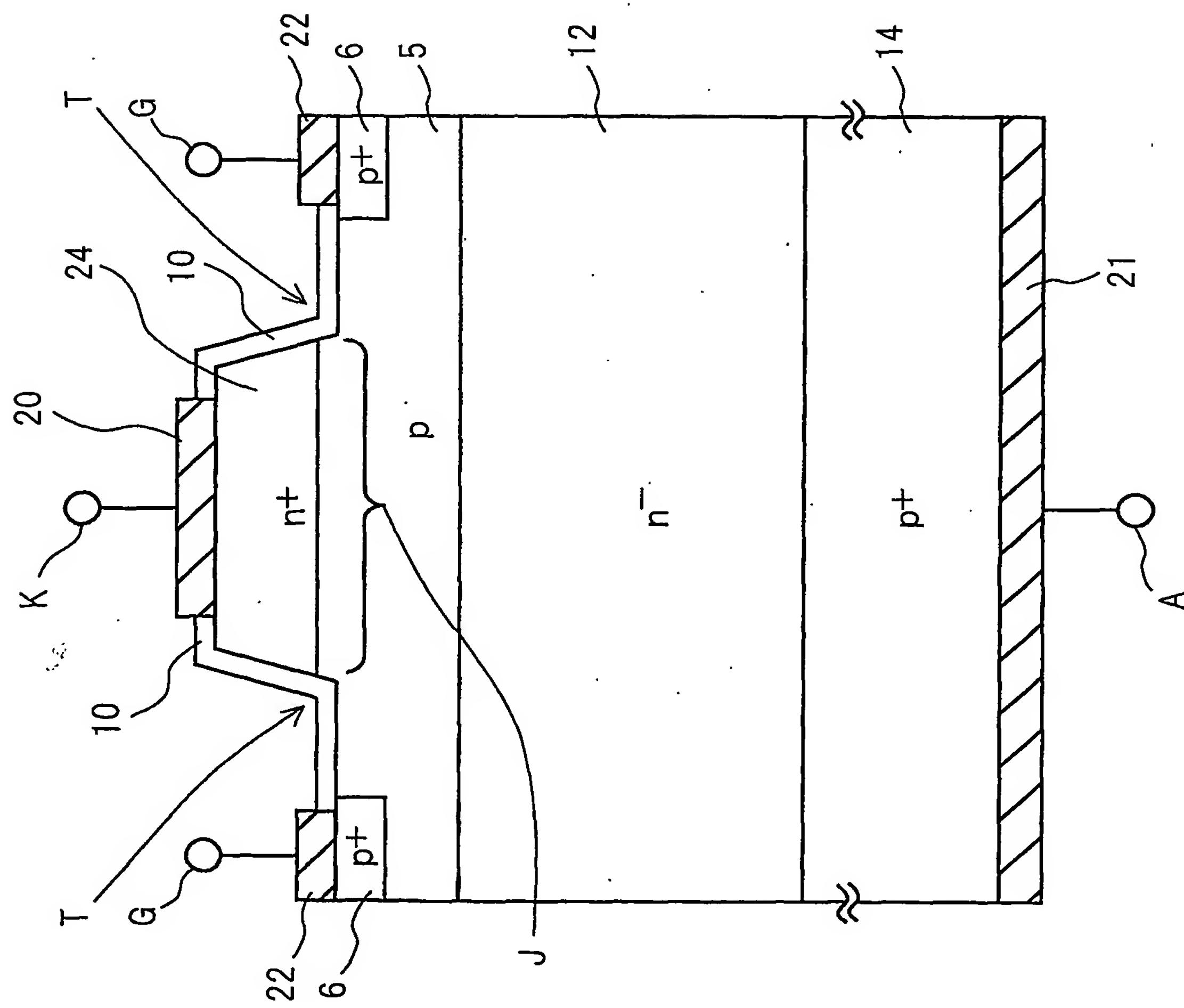
12





14/14

図14



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005046

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L29/74

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L29/74

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Jitsuyo Shinan Toroku Koho 1996-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 8-250708 A (Toshiba Corp.), 27 September, 1996 (27.09.96), Full text; all drawings (Family: none)	1-3, 7-12 14 4-6, 13, 15, 16
X	JP 4-180678 A (Fuji Electric Co., Ltd.), 26 June, 1992 (26.06.92), Full text; all drawings (Family: none)	1-3, 7-12 14 4-6, 13, 15, 16
X	JP 62-147769 A (Fuji Electric Co., Ltd.), 01 July, 1987 (01.07.87), Full text; all drawings (Family: none)	1-3, 7-12 14 4-6, 13, 15, 16

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	
"A"	document defining the general state of the art which is not considered to be of particular relevance
"E"	earlier application or patent but published on or after the international filing date
"L"	document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O"	document referring to an oral disclosure, use, exhibition or other means
"P"	document published prior to the international filing date but later than the priority date claimed
"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&"	document member of the same patent family

Date of the actual completion of the international search
09 July, 2004 (09.07.04)

Date of mailing of the international search report
27 July, 2004 (27.07.04)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/005046

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	EP 0064614 A (TOKYO SHIBAURA DENKI KABUSHIKI KAISHA), 17 November, 1982 (17.11.82), Full text; all drawings & JP 57-181162 A Full text; all drawings & DE 3277352 D	14 1-13, 15, 16
A	JP 5-48083 A (Toshiba Corp.), 26 February, 1993 (26.02.93), Full text; all drawings (Family: none)	1-16

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C17 H01L29/74

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C17 H01L29/74

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2004年
日本国登録実用新案公報	1994-2004年
日本国実用新案登録公報	1996-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 8-250708 A (株式会社東芝) 1996.09.27, 全文, 全図 (ファミリーなし)	1-3, 7-12
Y		14
A		4-6, 13, 15, 16
X	JP 4-180678 A (富士電機株式会社) 1992.06.26, 全文, 全図 (ファミリーなし)	1-3, 7-12
Y		14
A		4-6, 13, 15, 16

 C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

09.07.2004

国際調査報告の発送日

27.7.2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

小野田 誠

4L 8427

電話番号 03-3581-1101 内線 3462

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 62-147769 A (富士電機株式会社)	1-3, 7-12
Y	1987.07.01, 全文, 全図 (ファミリーなし)	14
A		4-6, 13, 15, 16
Y	EP 0064614 A (TOKYO SHIBAURA DENKI KABUSHIKI	14
A	KAISHA), 1982.11.17, 全文, 全図	1-13, 15, 16
	& JP 57-181162 A, 全文, 全図	
	& DE 3277352 D	
A	JP 5-48083 A (株式会社東芝)	1-16
	1993.02.26, 全文, 全図 (ファミリーなし)	